

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平5-242693

(43)公開日 平成5年(1993)9月21日

(51)Int.Cl.⁵

G11C 29/00

11/413

11/401

識別記号

301 B 9288-5L

6628-5L

6628-5L

6628-5L

6628-5L

6628-5L

6628-5L

6628-5L

6628-5L

6628-5L

6628-5L

6628-5L

6628-5L

6628-5L

6628-5L

6628-5L

6628-5L

6628-5L

6628-5L

6628-5L

6628-5L

6628-5L

6628-5L

6628-5L

6628-5L

6628-5L

6628-5L

6628-5L

6628-5L

6628-5L

6628-5L

6628-5L

6628-5L

6628-5L

6628-5L

6628-5L

6628-5L

6628-5L

6628-5L

6628-5L

6628-5L

6628-5L

6628-5L

6628-5L

6628-5L

6628-5L

6628-5L

6628-5L

6628-5L

6628-5L

6628-5L

FI

技術表示箇所

G11C 11/34

341 C

371 D

審査請求 未請求 請求項の数2(全39頁)

(21)出願番号

特願平4-42567

(22)出願日

平成4年(1992)2月28日

(71)出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72)発明者 藤田 維明

兵庫県伊丹市瑞原4丁目1番地 三菱電機

株式会社北伊丹製作所内

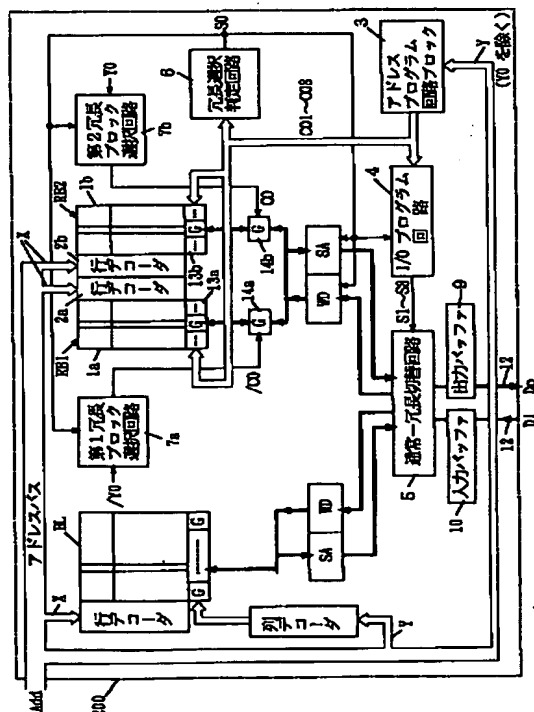
(74)代理人 弁理士 深見 久郎

(54)【発明の名称】 半導体記憶装置

(57)【要約】

【目的】 メモリセルアレイ内に連続して存在する欠陥ビットの救済をする場合において、連続する欠陥ビットを2つの冗長ビット線で置換えることができる半導体記憶装置を得ることを目的とする。

【構成】 2つの冗長ブロックRB1およびRB2を通常メモリセルブロックBLとは独立に設け、冗長選択時における冗長ブロックの選択を最下位列アドレス信号Y0とこれと相補な関係を有する信号/Y0とにより行なう半導体記憶装置。



(2)

特開平5-242693

1

【特許請求の範囲】

【請求項1】 各々が行および列に配設されたメモリセルを備えた複数のメモリセルアレイと、
各々が行および列に配設された冗長メモリセルを備えた少なくとも冗長メモリセルアレイと、
前記複数のメモリセルアレイ内の欠陥箇所を示すための欠陥アドレス信号を記憶する欠陥アドレス記憶手段と、
アドレス信号と前記欠陥アドレス記憶手段に記憶された欠陥アドレス信号との一致を検出するアドレス一致検出手段と、
前記アドレス一致検出手段にตอบสนองして前記複数のメモリセルアレイの1つに代えて前記少なくとも冗長メモリセルアレイにアクセスする冗長アクセス手段とを備えた半導体記憶装置。

【請求項2】 前記冗長アクセス手段は、前記アドレス信号の最下位列アドレス信号にตอบสนองして前記少なくとも冗長メモリセルアレイの一方を選択するメモリセルアレイ選択手段とを含む、前記請求項1の半導体記憶装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 この発明は、一般に半導体記憶装置に関し、特に欠陥を救済するための冗長メモリセルアレイを備えた半導体記憶装置に関する。

【0002】

【従来の技術】 従来よりスタティックランダムアクセスメモリ（以下「SRAM」という）およびダイナミックランダムアクセスメモリ（以下「DRAM」という）などのような半導体記憶装置は、製造における歩留まりを向上させるため、冗長回路を備えている。製造された半導体記憶装置内に欠陥が存在するとき、その半導体記憶装置は冗長回路の機能により救済される。すなわち、従来の半導体記憶装置では、欠陥メモリセルを含む行または列が、予め定められたスペア行または列と機能的に置換えられる。この発明は、一般にSRAMおよびDRAMなどのような半導体記憶装置に適用可能であるが、以下の記載では、この発明が一例としてSRAMに適用される場合について説明する。

【0003】 図23は、冗長回路を有する従来のSRAMのブロックである。図23を参照して、このSRAM100は、データをストアするためのメモリセルアレイ80と、行アドレス信号Xにตอบสนองしてメモリセルアレイ80内のワード線WLを選択するための行デコーダ82と、列アドレス信号Yにตอบสนองしてメモリセルアレイ内の列を選択する列デコーダ83と、ライトドライバ回路84と、センスアンプ85とを含む。SRAM100は、さらに冗長回路として、スペアメモリセル列81と、欠陥が存在する位置を示す欠陥アドレスをプログラムするためのアドレスプログラム回路86と、I/Oプログラム回路87とを備える。

【0004】 動作において、行デコーダ82は、外部か

2

ら与えられる行アドレス信号Xにตอบสนองして、メモリセルアレイ80内の1本のワード線WLを活性化させる。列デコーダ83は、外部から与えられる列アドレス信号Yにตอบสนองして、アクセスされるべき1つの列を選択する。すなわち、列デコーダ83は、アクセスされるべき列に接続されたトランスマッションゲートTG1を選択的にオンさせ、そのビット線をライトドライバ回路84またはセンスアンプ回路85に電氣的に接続する。したがって、書込動作において、外部から与えられた入力データDiが、行デコーダ82および列デコーダ83によって選択されたメモリセルに書込まれる。一方、読出動作において、行デコーダ82および列デコーダ83によって選択されたメモリセルから読出されたデータ信号をセンスアンプ85が増幅し、増幅された信号が出力データDoとして出力される。

【0005】 もし、或る1つのメモリセル列内に何らかの欠陥が存在することが発見されたとき、その欠陥メモリセル列は次のようにスペアメモリセル列81と機能的に置換えられる。欠陥メモリセル列の位置を示す欠陥アドレスはヒューズ（後述の図25に示される）を選択的に切断することにより、アドレスプログラム回路86内にプログラムされる。アドレスプログラム回路86は、図示しない一致検出回路を備えており、外部から与えられる列アドレス信号Yとプログラムされたアドレス信号との一致が検出される。一致検出信号COは、I/Oプログラム回路87に与えられる。

【0006】 I/Oプログラム回路87内のヒューズ（後述する図26参照）は、予め選択的に切断されており、それによって、スペアメモリセル列81内のビット線がトランスマッションゲート回路TG2を介してライトドライバ回路84および/またはセンスアンプ85に接続される。その結果、列アドレス信号Yがプログラムされたアドレス信号と一致するとき、通常のメモリセルアレイ80へのアクセスに代えて、スペアメモリセル列81へのアクセスが行なわれる。一方、このときトランスマッションゲート回路TG1はオフされている。

【0007】 図23では、説明の簡略化のために1つのメモリセルアレイ80とその周辺回路82、83、…などが示されているが、一般に従来のSRAMは、複数のメモリセルアレイおよびその周辺回路を備えている。すなわち、図23では1つのブロックのメモリセルアレイおよびその周辺回路だけが示されているが、実際には複数のたとえば64個のブロックが設けられている。

【0008】 図23からわかるように、1つのメモリセルアレイ80毎に1本または2本のスペアメモリセル列（または行）が設けられているので、複数の（たとえば64個の）メモリセルアレイを備えたSRAMは、64本または128本のスペアメモリセル列（または行）を備えていることになる。

【0009】 図24は、図23に示したアドレスプログ

50

3

ラム回路86のブロック図である。アドレスプログラム回路86は、欠陥アドレスをプログラムするため複数のヒューズ回路861～863と、入力されるアドレス信号と欠陥アドレスとの一致を検出するためのANDゲート864～866とを備える。比較ヒューズ回路861～863は、複数ビットの列アドレス信号のうちの対応する2つを受ける。ヒューズ回路の個数およびANDゲートの個数は、アドレス信号のビット数に応じて変更されるものである。

【0010】図25は、図24のヒューズ回路861の構成を示す回路図である。図25に示されるヒューズ回路861は、列アドレス信号Y0およびY1をプリデコードするためのANDゲート111ないし114と、プログラミングのためのヒューズ115および116とを含む。2つのヒューズ115および116を選択的に切断することにより、2ビットの欠陥アドレス信号をプログラムすることができる。ヒューズ115および116が接続されているとき、インバータ117および118は高レベルの電圧をそれぞれ出力する。他方、ヒューズ115および116が切断されているとき、インバータ117および118は低レベルの電圧を出力する。ANDゲート111は、高レベルの列アドレス信号Y0およびY1が与えられたとき、高レベルの電圧を出力する。ANDゲート112は、高レベルの信号Y0と低レベルの信号Y1が与えられたとき、高レベルの電圧を出力する。

【0011】ANDゲート113は、低レベルの信号Y0と高レベルの信号Y1とが与えられたとき、高レベルの電圧を出力する。ANDゲート114は、高レベルの信号Y0およびY1が与えられたとき、高レベルの電圧を出力する。

【0012】したがって、たとえばヒューズ115および116が接続されている場合では、トランスミッションゲート119および120がオンする。この場合に、高レベルの列アドレス信号Y0およびY1が与えられたとき、ANDゲート111がトランスミッションゲート119および120を介して高レベルの信号C01を出力する。言い換えるとヒューズ115および116の“接続”によってプログラムされた2ビットの欠陥アドレスと列アドレスY0およびY1とが一致したときのみ、ヒューズ回路861は高レベルの信号C01を出力する。信号C01は、図24に示したANDゲート864に与えられる。

【0013】その結果、図24に示したアドレスプログラム回路86は、プログラムされた欠陥アドレスと外部から与えられた列アドレスとが一致したときのみ、高レベルのアドレス一致検出信号C0iを出力する。

【0014】図26は、図23のI/Oプログラム回路87の回路図である。図26に示したI/Oプログラム回路87は、予め入力用のトランスミッションゲートT

(3)

特開平5-242693

4

G2をプログラミングするヒューズ回路136と、入力端子139と出力端子140との間に接続され、ヒューズ回路136からの出力信号にตอบสนองして開閉するトランスファゲート137と、出力端子140と接地電位との間に接続されるNMOSトランジスタ138とを含む。ヒューズ回路136は、アドレスプログラム回路86と同様にヒューズ131、キャパシタ132、高抵抗133、Pチャネルトランジスタ134およびCMOSインバータ135を含む。

【0015】動作において、ヒューズ131が切断状態の場合には、電源端子からキャパシタ132および高抵抗133を通してインバータ135の入力に電流が流れ、インバータ135の入力端子は“H”レベルとなり、インバータ135の出力端子は“L”レベルとなる。したがって、トランスファゲート137はオン状態となり、入力データ（アドレスプログラム回路86の出力）を通過させる。一方、ヒューズ131が切断されていない状態では、出力端子140はNチャネルトランジスタ138により“L”レベルに固定される。

【0016】図27は、図23に示したトランスミッションゲート回路TG1およびTG2と、付属するビット線ならびにメモリセルを示す回路図である。図27を参照して、トランスミッションゲート回路TG1は、通常のメモリセルアレイ内のビット線対BLa、BLbとデータ線対DLa、DLbとの間に接続される。一方、トランスミッションゲート回路TG2は、スペアメモリセル列内のビット線対RBLa、RBLbとデータ線対DLa、DLbとの間に接続される。トランスミッションゲート回路TG1は、列デコーダ（図示せず）から与えられる高レベルの列選択信号YLにตอบสนองしてオンするので、ビット線対BLa、BLbとデータ線対DLa、DLbとが電気的に接続される。NMOSトランジスタ89のゲートに電源電位Vccが与えられるので、トランジスタ89がオンするが、トランジスタ89は高いオン抵抗を有しているので、列選択信号YLの電位は影響されない。したがって、高レベルの列選択信号YLは、ヒューズ88を介して正しくトランスミッションゲート回路TG1に与えられる。

【0017】もし、メモリセルMC1に欠陥があると、ヒューズ88が切断される。したがって、トランスミッションゲート回路TG1に、トランジスタ89を介して接地電位が与えられるので、トランスミッションゲート回路TG1がオフする。一方、メモリセルMC1が存在する列を選択する列アドレス信号が与えられたとき、I/Oプログラム回路87を介して高レベルの信号RIがトランスミッションゲート回路TG2に与えられる。したがって、トランスミッションゲート回路TG2がオンするので、その結果、メモリセルMC1が存在する列とスペアメモリセル列81とが機能的に置換えられたことになる。

50

(4)

特開平5-242693

5

【0018】

【発明が解決しようとする課題】上記のように、従来の半導体メモリは、複数のメモリセルアレイと、各メモリセルアレイに対応して設けられた1本または2本のスペアメモリセル列とを備えている。したがって、たとえば64個のメモリセルアレイを備えたSRAMは、64本または128本の欠陥メモリセル列または行を救済する能力を有している。しかしながら、実際には、それほど多くの救済能力が必要ではない。すなわち、半導体記憶装置において、経験的にそんなに多くの欠陥が存在することはあり得ない。たとえば、上記のSRAMでは、せいぜい10個以下の欠陥が存在し得ることが経験上認められる。言い換えると従来の半導体メモリは、実際には必要でないにもかかわらず、過剰なスペアメモリ列または行を備えていたことになる。その結果、半導体メモリの高集積化が妨げられていた。

【0019】これに加えて、従来のスペアメモリ列または行は、1つのメモリセルアレイ毎に設けられているので、他のメモリセルアレイにおける列または行の救済に使用することができなかった。言い換えると、2本を超えるメモリセル列または行において欠陥が存在するとき、1本または2本のスペアメモリ列または行を用いて救済することはできず、この場合における救済が不可能であった。

【0020】さらに、メモリセルを形成するパターンが微細化するほど、1つの欠陥が複数列にまたがる可能性が高くなり、一列のメモリセルの救済では、半導体記憶装置の救済を完全に行なうことができないという問題がある。

【0021】この発明は、上記のような課題を解決するためになされたもので、複数のメモリセルアレイを備えた半導体記憶装置において、複数列にまたがる欠陥を含んでいるメモリセルアレイを高集積化の観点から効率よく救済することを目的とする。

【0022】

【課題を解決するための手段】この発明に係る半導体記憶装置は、各々が行および列に配設されたメモリセルを備えた複数のメモリセルアレイと、各々が行および列に配設された冗長メモリセルを備えた少なくとも冗長メモリセルアレイと、前記複数のメモリセルアレイ内の欠陥箇所を示すための欠陥アドレス信号を記憶する欠陥アドレス記憶手段と、アドレス信号と前記欠陥アドレス記憶手段に記憶された欠陥アドレス信号との一致を検出するアドレス一致検出手段と、前記アドレス一致検出手段にตอบสนองして前記複数のメモリセルアレイの1つに代えて前記少なくとも2つの冗長メモリセルアレイにアクセスする冗長アクセス手段とを備える。

【0023】

【作用】この発明における半導体記憶装置では、少なくとも2つの冗長メモリセルが設けられており、外部から

6

複数のメモリセルアレイ内の欠陥箇所へのアクセスが要求されたとき、冗長アクセス手段が少なくとも2つの冗長メモリセルアレイを同時にアクセスすることができる。したがって、連続する2つの列に欠陥がある場合であっても、少なくとも2つの冗長メモリセルアレイを用いて、欠陥を含んでいるメモリセルアレイを高集積化の観点から効率よく救済することができる。

【0024】

【実施例】図1は、この発明の一実施例を示すSRAMのブロック図である。図1を参照して、SRAM200は、各々がメモリセルアレイを含む合計64個のブロックと、冗長メモリセルアレイ1aを含む冗長ブロックRB1と、冗長メモリセルアレイ1bを含む冗長ブロックRB2とを含む。説明を簡単化するために、図1では、1つのブロックBLが示されている。

【0025】また、このSRAM200は、ブロックRB1およびRB2の周辺回路としてアドレスプログラム回路ブロック3、I/Oプログラム回路4、通常冗長切替回路5、冗長選択判定回路6、第1の冗長ブロック選択回路7a、および第2の冗長ブロック選択回路7bを備えている。

【0026】ブロックBLは、8つのエリアに分割されたメモリセルアレイと、行デコーダと、列デコーダと、8つのセンスアンプ（図示せず）を備えたセンスアンプ回路と、ライトドライバ回路（WD）と、トランスファゲートGを含む。各ブロックにおいて、メモリセルアレイとその周辺のアクセス回路の基本的な回路構成は従来のSRAMと同様であるが、各ブロック内にはスペアメモリセル列または行が設けられていない。また、トランスファゲートGは、図23のものと相違し、ヒューズを介することなく直接列選択信号Yを受ける。

【0027】冗長ブロックRB1は、合計8つの冗長メモリセル列を備えた冗長メモリセルアレイ1aと、行デコーダ2aと、第1のスイッチング回路13aと、第2のスイッチング回路14aとを含む。また、冗長ブロックRB2は、冗長ブロックRB1と同様に、合計8つの冗長メモリセル列を備えた冗長メモリセルアレイ1bと、行デコーダ2bと、第1のスイッチング回路13bと、第2のスイッチング回路14bとを含む。冗長ブロックRB1と冗長ブロックRB2とは同じ構成なので、以下の説明については冗長ブロックRB1についてのみ説明する。行デコーダ2aは、アドレスバス11を介して与えられる行アドレス信号Xにตอบสนองして、冗長メモリセルアレイ1a内のワード線（図示せず）を選択的に活性化させる。第1のスイッチング回路13aは、アドレスプログラム回路ブロック3から与えられる信号CO1ないしCO8のうちの活性化された1つにตอบสนองして、冗長メモリセル列のうちの対応する1つを第2のスイッチング回路14aに接続する。第2のスイッチング回路14aは、第1の冗長ブロック選択回路7aからのブロッ

7

ク選択信号／CO（後述する）にตอบสนองして、第1のスイッチング回路13aとセンスアンプ回路および／またはライトドライバ回路に接続する。

【0028】出荷前のテストを行なうことにより、合計64個のメモリセルアレイのどこかに欠陥が存在するか否かが調べられる。或るメモリセルアレイの連続する2つの列において欠陥が存在するとき、その欠陥メモリセル列の位置を示すアドレス（ただし、最下位のアドレスY0を除く）がアドレスプログラム回路ブロック3においてプログラムされる。アドレスプログラム回路ブロック3は、合計8個の欠陥メモリセル列の位置を示すアドレス（以下、「欠陥アドレス」という）をプログラムすることができる。

【0029】外部から欠陥メモリセル列へのアクセスの要求が生じたとき、アドレスプログラム回路ブロック3は、プログラムされたアドレスと外部から与えられる列アドレスの一致を検出し、一致検出信号（信号CO1ないしCO8のうちの1つ）をI/Oプログラム回路4、冗長選択判定回路6および第1のスイッチング回路13a、13bに与える。冗長選択判定回路6は、与えられた一致検出信号CO1～CO8にตอบสนองして、冗長メモリセルアレイへのアクセスの要求がされたかどうかを判定する。この要求がされたと判定した場合には、判定信号S0をI/Oプログラム回路4、第1の冗長ブロック選択回路7a、第2の冗長ブロック選択回路7b、センスアンプ回路および／またはライトドライバ回路に与える。第2の冗長ブロック選択回路7bには、最下位列アドレス信号Y0が与えられ、第1の冗長ブロック選択回路7aには、最下位列アドレス信号Y0と相補な関係にされた信号／Y0が与えられている。第1の冗長ブロック選択回路7aは、冗長選択判定回路6からの判定信号S0と信号／Y0とにตอบสนองして、第2のスイッチング回路14aをオン状態にするためのブロック選択信号／COを発生する。一方、第2の冗長ブロック選択回路7bは、冗長選択判定回路6からの判定信号S0と最下位列アドレス信号Y0とにตอบสนองして第2のスイッチング回路14bをオン状態にするためのブロック選択信号COを発生する。発生されたブロック選択信号COおよび／COは、それぞれ第2のスイッチング回路14a、14bに与えられる。それにより、第2のスイッチング回路14aおよび14bはオン状態となり、第1のスイッチング回路13aおよび13bとセンスアンプおよび／またはライトドライバ回路とを接続する。

【0030】I/Oプログラム回路4は、アドレスプログラム回路ブロック3から与えられる一致検出信号CO1～CO8にตอบสนองして、入出力制御信号S1～S8を発生し、この発生入出力制御信号S1～S8を通常一冗長切換回路5に与える。通常一冗長切換回路5は、図示されていない8つのスイッチング回路を備えており、これらのスイッチング回路が入出力制御信号S1～S8に

(5)

特開平5-242693

8

答して選択的にオンし、それによって欠陥メモリセル列へのアクセスに代えて、2本の冗長メモリセル列へのアクセスが行なわれる。

【0031】入力バッファ9は、書込まれるべき入力データDiを外部から受け、その入力データDiをライトドライバ回路（WD）に与える。したがって、入力データDiは、行デコーダおよび列デコーダにより指定されたメモリセルに書込まれる。以下の記載では、図1に示したSRAM200のより詳細を説明する。

【0032】図2は図1に示した冗長メモリセルアレイ1aおよび第1のスイッチング回路13aおよび第2のスイッチング回路14aの回路図である。図2を参照して、冗長メモリセルアレイ1aは、行および列に配設されたメモリセルMCを含む。冗長メモリセルアレイ1aは、合計8本の冗長メモリセル列RCL1ないしRCL8を備えている。ワード線WL1およびWL2は、図1に示した行デコーダ2aにより選択的に活性化される。

【0033】第1のスイッチング回路13aは、各々が対応する1つの冗長メモリセル列に接続されたトランスミッションゲート回路701～708を備える。各トランスミッションゲート回路701ないし708は、アドレスプログラム回路ブロック3から与えられるアドレス一致検出信号CO1ないしCO8のうちの対応する1つにตอบสนองしてオンする。たとえば、トランスミッションゲート回路701は、高レベルのアドレス一致検出信号CO1にตอบสนองしてオンするので、冗長メモリセル列RCL1内のビット線対BLa、BLbがデータ線対DLa、DLbに接続される。すなわち、アドレスプログラム回路ブロック3においてプログラムされた欠陥アドレスと一致する列アドレス信号が外部から与えられたとき、トランスミッションゲート回路701ないし708のうちの1つがアドレス一致検出信号CO1ないしCO8にตอบสนองしてオンするので、冗長メモリセル列RCL1ないしRCL8のうちの1本がアクセスされることになる。第2のスイッチング回路14aは、各トランスミッションゲート回路701ないし708に接続され、第1の冗長ブロック選択回路7aにより発生されたブロック選択信号／COにตอบสนองしてオンする。以上の図2の説明では、ブロックRB1および第1の冗長ブロック選択回路7aについての説明を行なったが、冗長メモリセルアレイブロックRB2および第2の冗長ブロック選択回路7bについても同様の動作を行なう。

【0034】図3は、図1に示したアドレスプログラム回路ブロック3のブロック図である。アドレスプログラム回路ブロック3は、冗長メモリセルアレイブロックRB1、RB2の8つのメモリセル列に対応して設けられる複数のアドレスプログラム回路31～38を含む。アドレスプログラム回路31～38は、図24に示したアドレスプログラム回路86と同様の構成である。各アドレスプログラム回路31～38は、列アドレス信号Y

(ただし最下位アドレスY0を除く)と予めプログラミングされている欠陥アドレスとを比較し、列アドレス信号Yと欠陥アドレスとが一致した場合には、一致検出信号CO1~CO8を出力する。

【0035】図4は、I/Oプログラム回路4の構成を示すブロック図である。図4を参照して、I/Oプログラム回路4を、8個のアドレスプログラム回路31~38に対応して設けられた8個のI/Oヒューズ回路41ないし48と、欠陥列デコードのためのデコード回路49とを含む。外部から与えられる1つの列アドレス信号により、1つのメモリセルアレイ内の8つの列が同時にアクセスされ得るので、I/Oプログラム回路4により、アクセスされるべきでない欠陥メモリセル列をプログラムする必要がある。言い換えると、欠陥メモリセル列から誤ったデータが読出されるかもしれないので、欠陥メモリセル列から読出されたデータの代わりに冗長メモリセル列から読出されたデータを出力する必要がある。1つの欠陥アドレスにおいてアクセスされ得る8つの列のうち、欠陥が存在する列の指定またはプログラムがヒューズ回路41ないし48のヒューズを選択的に切

断することにより行なわれる。

【0036】ヒューズ回路41ないし48の各々は、アドレスプログラム回路ブロック3からの一致検出信号CO1~CO8に回答して欠陥列指定コードDCL1ないしDCL3を発生する。デコーダ49は、冗長選択判定回路6からの判定信号S0に回答して、I/Oヒューズ回路41~48から出力される欠陥列指定コードDCL1~DCL3をデコードし入出力制御信号S1~S8を発生する。

【0037】図5は、図4に示したヒューズ回路41の詳細を示す回路図である。図5を参照して、ヒューズ回路41は、プログラミングのためのヒューズ421ないし423と、NANDゲート424ないし426と、トランスミッションゲート427ないし429と、NORゲート430および431とを含む。このヒューズ回路41は、ヒューズ421ないし423により8つのI/Oをプログラムすることができる。

【0038】動作において、アドレス一致検出信号COiが低レベルであるときすなわち、冗長非選択の場合には、NANDゲート424ないし426はヒューズ421ないし423の接続状態に依存することなく、常に高レベルの電圧を出力する。したがって、トランスミッションゲート427ないし429がオンしたとき、低レベルの欠陥列指定コードDCL1ないしDCL3が出力される。

【0039】高レベルのアドレス一致検出信号COiが与えられたときすなわち冗長選択時の場合には、NANDゲート424ないし426はヒューズ421ないし423の接続状態に依存して信号を出力する。たとえば、ヒューズ421が接続されているとき、NANDゲート

424が高レベルの電圧を受ける。したがって、NANDゲート424は低レベルの信号を出力するので、欠陥列指定コードDCL1は高レベルを示す。他方、ヒューズ421が切断されているとき、NANDゲート424は低レベルの信号を受ける。したがって、NANDゲート424は高レベルの信号を出力するので、信号DCL1は低レベルを示す。

【0040】以上をまとめると対応するアドレスプログラム回路において一致が検出される場合、すなわち高レベルの信号COiが出力される場合では、各欠陥列指定コードDCL1ないしDCL3は、対応するヒューズの接続または切断に応じて、高レベルまたは低レベルをそれぞれ示す。一方、低レベルのアドレス一致検出信号COiが与えられる場合では、すべて低レベルの欠陥列指定信号DCL1ないしDCL3が出力される。言い換えると、3つのヒューズ421ないし423を選択的に切断することにより、1つの列アドレス信号により指定され得る8つのメモリセルのうちの1つを指定またはプログラムすることができる。

【0041】図5に示した3つのトランスミッションゲート427ないし429は、次のように動作する。まず、すべてのアドレス一致検出信号CO1ないしCO8が低レベルである場合では、NORゲート430は高レベルの信号をNORゲート431に与える。したがって、NORゲート431は低レベルの信号を出力するので、トランスミッションゲート427ないし429はオンする。この場合では、アドレス一致検出信号COiが低レベルであるので、トランスミッションゲート427ないし429を介してすべて高レベルの欠陥列指定コードDCL1ないしDCL3が出力される。

【0042】次に、信号COiが低レベルであれば、他のアドレス一致検出信号CO1ないしCO8(ただしCOiを除く)の1つが高レベルである場合では、NORゲート430が低レベルの信号をNORゲート431に与える。したがって、NORゲート431は、2つの低レベルの信号を受けるので、高レベルの信号を出力する。その結果、トランスミッションゲート427ないし429はオフする。これにより、1つを超えるヒューズ回路から出力される欠陥列指定コードの衝突が防がれる。

【0043】高レベルのアドレス一致検出信号COiが与えられたとき、NORゲート431は低レベルの信号を出力する。したがって、トランスミッションゲート427ないし429がオンするので、ヒューズ421ないし423の接続状態によって決定される欠陥列指定コードDCL1ないしDCL3が出力される。

【0044】図6は、図4に示したI/Oプログラム回路4内に設けられたデコード回路49の回路図である。図6を参照して、デコード回路49は、8個のヒューズ回路41ないし48の出力に接続される。ヒューズ回路

(7)

特開平5-242693

11

41ないし48のいずれか1つは、アドレス一致検出信号CO1ないしCO8にตอบสนองして欠陥列指定コードDCL1ないしDCL3を出力する。

【0045】デコード回路49は、3入力NANDゲート432ないし439と、2入力NORゲート440と、インバータ441ないし445とを含む。すべてのアドレス一致検出信号CO1ないしCO8が低レベルであるとき（冗長非選択時）、欠陥列指定コードDCL1ないしDCL3は低レベルである。したがって、デコード回路49はすべて高レベルの入出力制御信号S1ないしS8を出力する。

【0046】アドレス一致検出信号CO1ないしCO8のうちの1つが高レベルであるとき、ヒューズ回路41ないし48のうちの1つが欠陥列指定コードDCL1ないしDCL3を出力する。欠陥列指定コードDCL1ないしDCL3は、NANDゲート432ないし439によりデコードされ、入出力制御信号S1ないしS8のうちの1つが低レベルになる。2入力NORゲート440は、その一方の入力端子がNANDゲート439の出力を受けるように接続され、その他方の入力ゲートがインバータ442の出力に接続される。冗長判定回路6から出力される判定信号S0は冗長選択時には高レベルであり、NORゲート440の出力はNANDゲート439の出力レベルに依存する。したがって、インバータ441から出力される入出力制御信号S8はNANDゲート439の出力レベルに依存する。以上のようにして発生された入出力制御信号S1ないしS8は通常一冗長切換回路5に与えられる。

【0047】図7は、図1に示した通常一冗長切換回路5の回路図である。通常一冗長切換回路5は、通常メモリセルアレイのビット数に対応して8個設けられるが、図7では1ビットの切換回路について示す。図7を参照して、i番目のビットの切換回路5iは、通常メモリセルアレイから読出した通常メモリセルデータを受けるトランスファゲート50と、冗長メモリセルアレイ1aおよび1bから読出した冗長メモリセルデータを受けるトランスファゲート51と、入出力制御信号S1ないしS8のうちのi番目の入出力制御信号Siを受けるインバータ52とを含む。

【0048】動作において、I/Oプログラム回路4からの入出力制御信号Siによってトランスファゲート50と51との切換が行なわれる。すなわち、トランスファゲート50は、高レベルの入出力制御信号Siにตอบสนองしてオンし、通常メモリセルデータを出力バッファ9に与える。一方、トランスファゲート51は、低レベルの入出力制御信号Siにตอบสนองしてオンし、冗長メモリセルデータを出力バッファ9に与える。

【0049】図8は、図1に示される冗長選択判定回路6の回路図である。図8を参照して、冗長選択判定回路6は、アドレスプログラム回路31ないし38から出力

12

される一致検出信号CO1ないしCO8の論理和をとるNORゲート61と、インバータ62とを含む。

【0050】動作において、NORゲート61は、一致検出信号CO1ないしCO8の論理和をとることにより、冗長選択状態か非選択状態かを判定する。すなわち、冗長選択時には、アドレスプログラム回路31ないし38から出力される一致検出信号CO1ないしCO8のうちの1つは必ず高レベルであるため、判定信号S0は高レベルとなる。また、冗長非選択時には、アドレスプログラム回路31ないし38から出力される一致検出信号はすべて低レベルであるから、冗長選択信号S0は低レベルとなる。この結果、判定信号S0のレベルによって冗長選択か非選択かを判定することができる。

【0051】図9は、図1に示した第1の冗長ブロック選択回路7aおよび第2の冗長ブロック選択回路7bの回路図である。図9を参照して、第1の冗長ブロック選択回路7aは、NANDゲート71と、インバータ72とを含む。第2の冗長ブロック選択回路7bは、NANDゲート73と、インバータ74とを含む。NANDゲート71は、判定信号S0と、最下位アドレス信号/Y0との論理積をとる。インバータ72は、NANDゲート71の出力を反転させブロック選択信号/COを出力する。NANDゲート73は、判定信号S0と、列アドレス信号の最下位列アドレス信号Y0との論理積をとる。インバータ74は、NANDゲート73の出力を反転させ、ブロック選択信号COを出力する。

【0052】動作において、アドレスプログラム回路ブロック3からの一致検出信号により2つの連続する冗長メモリセル列のデータが第2のスイッチング回路14aおよび14bに与えられている。

【0053】この状態において、最下位列アドレス信号Y0が高レベルであると、第1の冗長ブロック選択回路7aから出力されるブロック選択信号/COは、低レベルとなり、第2のスイッチング回路14aはオフ状態のままである。一方、第2の冗長ブロック選択回路7bから出力されるブロック選択信号COは高レベルとなり第2のスイッチング回路14bはオン状態となる。

【0054】これにより連続する2列の欠陥列は各冗長メモリセルアレイ1aおよび1bのメモリセルによって置換えることができる。

【0055】次に、図1ないし図9に示した半導体記憶装置の動作を説明する。まず、冗長非選択の場合には、アドレスプログラム回路ブロック3から出力される一致検出信号CO1ないしCO8は、すべて低レベルなので、冗長ブロックRB1、RB2の第1のスイッチング回路13aおよび13bはすべて閉じたままであり、第1および第2の冗長メモリセルアレイ1aおよび1bからデータは読出されない。同時に、冗長選択判定回路6から出力される判定信号S0は、低レベルとなり、第1および第2の冗長ブロック選択回路7aおよび7bから

10

20

30

40

50

13

出力されるブロック選択信号CO、／COは低レベルであり、冗長ブロックRB1、RB2の第2のスイッチング回路14aおよび14bもオフ状態のままで、冗長メモリセルアレイ1aおよび1bのデータがセンスアンプに伝達されることはない。判定信号S0が低レベルであることにより、センスアンプは活性化されず、冗長メモリセルアレイからのデータが増幅されセンスアンプから出力されることがない。さらに、一致検出信号CO1ないしCO8が低レベルなので、I/Oプログラム回路4から出力される入出力制御信号S1ないしS8はすべて

【0056】冗長選択の場合には、予め欠陥アドレスがプログラムされたアドレスプログラム回路ブロック3により、アドレスバス11を通して入力される列アドレス信号と欠陥アドレスとの一致が検出され、一致検出信号CO1ないしCO8が出力される。この一致検出信号CO1ないしCO8のうちのいずれか1つの一致検出信号COiが高レベルとなっている。この高レベルの一致検出信号COiにตอบสนองして第1のスイッチング回路13aおよび13bがオン状態となり、冗長メモリセルアレイ1aおよび1bの対応の列と第2のスイッチング回路14aおよび14bとが接続される。それにより、各冗長メモリセルアレイ1aおよび1bの一行からデータの読出動作が行なわれる。前記一致検出信号CO1ないしCO8は冗長選択判定回路6にも与えられ、冗長選択判定回路6から出力される判定信号S0は高レベルとなる。第1の冗長ブロック選択回路7aは、判定信号S0と信号／Y0との論理積をとり、ブロック選択信号／COを第2のスイッチング回路14aに出力する。第2の冗長ブロック選択回路7bは、判定信号S0と最下位列アドレス信号Y0との論理積をとり、ブロック選択信号COを第2のスイッチング回路14bに出力する。最下位列アドレス信号Y0と信号／Y0とは、相補的な関係を有しており、ブロック選択信号COおよび／COのうちのいずれか一方が高レベルとなり、他方は低レベルとなる。相補的な関係にされたブロック選択信号COおよび／COにตอบสนองして、第2のスイッチング回路14aおよび14bの一方がオン状態となり、第1のスイッチング回路内の対応のトランスファゲートとセンスアンプとが接続され、冗長メモリセルアレイから読出されたデータがセンスアンプに与えられる。冗長選択時には、判定信号S0は高レベルとなっているので、冗長ブロックRB1、RB2のセンスアンプは活性化されており、センスアンプに入力されたデータは増幅された後通常冗長切

【0057】前記一致検出信号CO1ないしCO8はI/Oプログラム回路4にも与えられており、I/Oプロ

(8)

特開平5-242693

14

グラム回路4は、一致検出信号CO1ないしCO8に対応する入出力制御信号S1ないしS8を通常冗長切換回路5に与える。すなわちI/Oプログラム回路4は、一致検出信号CO1ないしCO8のうちの高レベルとなっている一致検出信号COiにตอบสนองして、いずれか1つの入出力制御信号Siを低レベルにしている。通常冗長切換回路5は、入出力制御信号Siにตอบสนองして対応する列の冗長メモリセルデータを出力バッファ9に与え、入出力信号Si以外の入出力制御信号にตอบสนองして通常メモリセルデータを出力バッファ9に与える。それにより、欠陥列のデータのみが冗長メモリセルデータにより置換えられた正しいデータを読出すことができる。

【0058】なお、図1ないし図9の実施例では、読出の場合を主に説明したが、書込の場合は、書込用の通常冗長切換回路を追加し、冗長選択時に冗長ビット線に置換えるべきI/Oの書込データを入力するようにすればよい。

【0059】図10はこの発明の半導体記憶装置のもう1つの実施例を示すブロック図である。なお、図10では説明を簡略化するために通常冗長切換回路および通常メモリセルアレイブロックBLは図示していない。また、図1と同様の回路については同一符号を付している。

【0060】図10を参照して、この半導体記憶装置は、2つの冗長ブロックRBAおよびRBBを備える。冗長ブロックRBAは、冗長メモリセルアレイ1aと、行を選択するための行デコーダ2Aと、列を選択するための列デコーダ29Aと、選択された冗長メモリセルからのデータを選択的に増幅する第1段センスアンプ30Aと、第1段センスアンプ30Aにより増幅された冗長メモリセルデータをさらに増幅する第2段センスアンプ31Aとを備える。冗長ブロックRBBは、冗長ブロックRBAと同様に冗長メモリセルアレイ1b、行デコーダ2B、列デコーダ29B、第1段センスアンプ30Bおよび第2段センスアンプ31Bを備える。

【0061】冗長ブロックRBAおよびRBBの周辺回路として、アドレスプログラム回路ブロック3、I/Oプログラム回路4'、冗長選択判定回路6、第1および第2の冗長ブロック選択回路7aおよび7bを備える。

【0062】すなわちこの半導体記憶装置は、図1に示した冗長ブロックRB1およびRB2と異なり、第1のスイッチング回路13aおよび13bならびに第2のスイッチング回路14aおよび14bに代えて列デコーダ29Aおよび29Bと、第1段センスアンプ30Aおよび30Bと、第2段センスアンプ31Aおよび31Bとを設けている。また、図1の行デコーダ2aに代えてメイン行デコーダ28と行デコーダ2Aおよび2Bを設けている。冗長ブロックRBへの行アドレスの選択は、ワード線活性化回路21A、Zデコーダ22A、／Zデコーダ23A、行デコーダ2Aおよびメイン行デコーダ2

15

8により行なわれる。すなわち、ワード線活性化回路21Aは、ブロック選択信号/COとATD (Address Transition Detection; 内部同期信号) との論理積をとり、ワード線活性化信号を発生する。Zデコーダ22Aは、ワード線活性化信号とプリデコード信号X0 (最下位行アドレス信号) との論理積をとり、/Zデコーダ23Aは、ワード線活性化信号とプリデコード信号/X0との論理積をとる。行デコーダ2Aは、Zデコーダ22Aの出力とメイン行デコーダ28の出力との論理積および/Zデコーダ23Aの出力とメイン行デコーダ28の出力との論理積をとる。この論理積をとった結果が冗長メモリセルアレイ1aの行アドレス選択信号となる。この信号を冗長メモリセルアレイ1aのワード線に与えることにより、ワード線を高レベルに立上げることができる。

【0063】冗長ブロックRBBの行アドレスの選択は、冗長ブロックRBAと同様に、ワード線活性化回路21B、Zデコーダ22B、/Zデコーダ23B、行デコーダ2Aおよびメイン行デコーダ28により行なわれる。しかし、ここで用いられるブロック選択信号COは、冗長ブロックRBAに用いられるブロック選択信号/COと相補な関係である。したがって、最下位行アドレス信号X0が高レベルの場合には、メモリセルアレイ1aの選択されたワード線が高レベルにされ、最下位行アドレス信号/X0が高レベルの場合には、メモリセルアレイ1bの選択されたワード線が高レベルに立上がる。

【0064】列アドレスの選択信号は読出用列選択信号YDRと書込用列選択信号YDWからなる。書込列選択信号YDWは、書込用Yデコーダ26により発生される。書込用Yデコーダ26は、アドレスプログラム回路ブロック3から出力される一致検出信号CO1ないしCO8と書込制御信号との論理積をとり、書込列選択信号YDWを発生する。書込列選択信号YDWは列デコーダ29Aおよび29Bに与えられ、列デコーダ29Aおよび29Bは、冗長書込データをビット線に伝達する。

【0065】冗長書込データはライトデータ選択回路27により行なわれる。ライトデータ選択回路27は、I/Oプログラム回路4'からの入出力制御信号S1ないしS8に应答して、入力される8個のデータDiから冗長書込データを選択する。選択された冗長書込データは、ライトドライバ33'に与えられ、ライトドライバ33'はダブルブロックセクタ24の出力に应答して選択された冗長書込データを列デコーダ29Aおよび29Bに与える。ここでダブルブロックセクタ24は、ブロック選択信号COと/COとの論理和をとり、この論理和をとった信号と書込制御信号との論理積をとり、この結果を書込イネーブル信号としてライトドライバ33'に与える。ダブルブロックセクタ24の出力は、アクティブローである。また、ライトドライバ33'の

(9)

特開平5-242693

16

出力は相補な信号D、/Dとなっており、ビット線bitとビット線/bitとに対応している。ダブルブロックセクタ24により冗長書込データは、冗長ブロックRBAおよびRBBの同じ列アドレスを持つビット線に書込まれるが、行デコーダ2Aおよび2Bがブロック選択信号CO、/COによって制御されているため、一方のワード線しか高レベルにならないため、冗長書込データが2つのメモリセルに書込まれることはない。書込用Yデコーダ26は、アドレスプログラム回路ブロック3から出力される一致検出信号CO1ないしCO8と書込制御信号との論理積をとり、書込列アドレスの選択信号YDW (以下、書込列選択信号という) を発生する。発生された書込列選択信号YDWは列デコーダ29Aおよび29B内のトランスファゲートに与えられ、トランスファゲートは冗長書込データをビット線に伝達する。読出時は、読出列アドレスの選択信号YDRを第1段センスアンプ30Aおよび30Bに与えて第1段センスアンプを活性化し、冗長読出データを第2段センスアンプ31Aおよび31Bに伝達する。

【0066】ライトデータ選択回路27はI/Oプログラム回路4'により発生された入出力制御信号S1ないしS8に应答して入力される8個のデータDiから冗長書込データを選択する。選択された冗長書込データは、ライトドライバ33'に与えられ、ライトデータ書込回路33はダブルブロックセクタ24の出力との論理積をとる。このダブルブロックセクタ24は冗長ブロック選択信号CO、/COの論理Yをとった信号と書込制御信号との論理積をとった信号である。ダブルブロックセクタ24の出力アクティブ時には低レベルとなる。また、ライトドライバ33'の出力は、相補な信号D、/Dとなっており、bit、/bit、とに対応している。ダブルブロックセクタ24により、冗長書込データは、冗長ブロックRBA、RBBと同じ列アドレスを持つビット線に書込まれるが、行デコーダ2Aおよび2Bがブロック選択信号CO、/COによって制御されているため、一方のワード線しか高レベルにならないため、冗長書込データが2つのメモリセルに書込まれることはない。

【0067】読出選択信号YDRは、読出用Yデコーダ25により発生される。読出用Yデコーダ25は、アドレスプログラム回路ブロック3から出力される一致検出信号CO1ないしCO8とATD信号と読出制御信号との論理積をとり、読出列選択信号YDRを発生する。

【0068】読出時には、読出列選択信号YDRを第1段センスアンプ30Aおよび30Bに与えて第1段センスアンプ30Aおよび30Bを活性化し、冗長メモリセルデータを第2段センスアンプ31Aおよび31Bに伝達する。センスアンプ活性化回路32Aはブロック選択信号/COに应答して、第2段センスアンプ32Aを活性化する。また、センスアンプ活性化回路32Bはプロ

ック選択信号COにตอบสนองして第2段センスアンプ32Bを活性化する。活性化された第2段センスアンプ31Aは、第1段センスアンプ30Aからの冗長メモリセルデータを増幅してデータバスに出力する。また、活性化された第2段センスアンプ31Bは、第1段センスアンプ30Bからの冗長メモリセルデータをデータバスに伝達する。前述したように、ブロック選択信号COと／COとは、相補な関係であるから、第2段センスアンプ31Aと第2段センスアンプ31Bとが同時に活性化されることはない。

【0069】以上説明したように、列選択は書込時には、列デコーダ29Aおよび29Bにより行ない、読出時には、第1段センスアンプ30Aおよび30Bを活性化する方法をとる。したがって連続する2つの冗長書込データのうち一方は冗長メモリセルアレイ1aの列デコーダ29Aにより書込まれ、他方は冗長メモリセルアレイ1bの列デコーダ29Bにより書込まれる。冗長メモリセルアレイ1aに書込まれた冗長データは、第1段センスアンプ30Aにより読出され、第2段センスアンプ30Aによりデータバスを駆動し得る電位にまで増幅される。また、冗長メモリセルアレイ1bに書込まれた冗長データは、第1段センスアンプ30Bにより読出され、第2段センスアンプ31Bによりデータバスを駆動し得る電位にまで増幅される。

【0070】半導体記憶装置は、このような動作をするので連続して存在する2つの欠陥列を効率よく置換することができる。

【0071】以下の記載では、図10に示したSRAMのより詳細を説明する。図11は、図10に示した読出用冗長Yデコーダ25の回路図である。図11を参照して、この読出用冗長Yデコーダ25は、2入力NANDゲート251、インバータ252、NANDゲート254を含む。したがって読出用冗長Yデコーダ25は、NANDゲート251および253と、インバータ252および254とにより冗長ブロック選択信号COi、読出制御信号およびATD信号を入力させる3入力NANDゲートを構成している。

【0072】動作において、冗長非選択時には、一致検出信号COiは低レベルなので、読出用冗長Yデコーダ25から出力される読出列選択信号YDRは常に低レベルである。

【0073】冗長選択時には、一致検出信号COiは高レベルなので、NANDゲート251の出力は、もう1つの入力である読出制御信号によって決まる。すなわち、書込状態では、読出制御信号は低レベルなのでこの信号が入力されるNANDゲート251の出力は高レベルとなる。NANDゲート251の出力は、インバータ252により反転され低レベルとなり、これが入力されるNANDゲート253の出力は高レベルとなる。NANDゲート253の出力は、インバータ254により反

転され、この結果、冗長選択時の書込状態では、読出列選択信号YDRは低レベルとなる。

【0074】冗長選択時の読出状態では、読出制御信号および一致検出信号COiは高レベルなので、これらの信号が入力されるNANDゲート251の出力は低レベルとなる。NANDゲート251の出力はインバータ252により反転され、高レベルとなり、これが入力されるNANDゲート253の出力は、もう1つの入力であるATD信号のレベルによって決まる。ATD信号が低レベルならば、NANDゲート253の出力は高レベルとなる。したがってNANDゲート253の出力はインバータ254により反転され、読出列選択信号YDRは低レベルとなる。逆に、ATD信号が高レベルならば、NANDゲート253の出力はローレベルとなり、NANDゲート253の出力はインバータ254により反転され、読出列選択信号YDRは高レベルとなる。

【0075】以上のように、読出用冗長Yデコーダ25は、冗長選択時の読出状態でかつATD信号が高レベルのときのみ読出列選択信号YDR（高レベル）を出力し、それ以外のいずれの場合も低レベルを出力する。

【0076】図12は、図1に示した書込用冗長Yデコーダ26の回路図である。図12を参照して、書込用冗長Yデコーダ26は、2入力NANDゲート261と、NANDゲート261の出力端子に接続されるインバータ262を含む。NANDゲート261の一方の入力ゲートは一致検出信号COiを受け、他方の入力ゲートは書込制御信号を受ける。

【0077】動作において、冗長非選択時には、一致検出信号COiは低レベルなので、この信号COiが入力されるNANDゲート261の出力は高レベルとなる。NANDゲート261の出力はインバータ262により反転され、低レベルとなるので、冗長非選択時には、書込列選択信号YDWは常に低レベルである。

【0078】冗長選択時には、一致検出信号COiは高レベルなので、この信号が入力されるNANDゲート261の出力は、もう1つの入力である書込制御信号のレベルによって決まる。すなわち、書込状態では、書込制御信号は高レベルなので、この信号が入力されるNANDゲート261の出力は低レベルとなる。NANDゲート261の出力は、インバータ262により反転され、高レベルとなるので、書込列選択信号YDWは高レベルとなる。読出状態では、書込制御信号は低レベルなので、この信号が入力されるNANDゲート261の出力は高レベルとなる。NANDゲート261の出力はインバータ262により反転され低レベルとなるので、書込列選択信号YDWは低レベルとなる。以上のように、書込用冗長Yデコーダ26は、冗長選択時で書込状態のときのみ高レベル（書込列選択信号）を出力し、それ以外のいずれの場合も低レベルを出力する。

【0079】図13は、図10に示したI/Oプログラ

ム回路4'の回路図である。I/Oプログラム回路4'と図4に示したI/Oプログラム回路とは、デコード回路49のみが相違する。したがって図13では、デコード回路のみを示す。このデコード回路は、図6に示したデコード回路のNORゲート440、インバータ441およびインバータ442を設けていないことである。したがって、NANDゲート439は、冗長非選択時に低レベルとなる入出力制御信号S8を出力する。それ以外の動作は図4ないし図6に示したI/Oプログラム回路と同様の動作をする。

【0080】図14は、図10に示したライトデータ選択回路27の回路図である。図14を参照して、ライトデータ選択回路は、入力データDinに含まれる8個の書込データI/O1ないしI/O8に対応して設けられるトランスファゲート271ないし278を含む。各トランスファゲート271ないし278には、I/Oプログラム回路4'から出力される入出力信号S1ないしS8が与えられる。

【0081】動作において、I/Oプログラム回路4'からの入出力信号S1ないしS8によって、トランスファゲート271ないし278のうちいずれか1つがオン状態となる。オン状態となったトランスファゲートを通して書込データがライトバッファ33に与えられる。したがって、冗長選択時には、置換えるI/Oに対応するトランスファゲートのみがオンし、このI/Oに対応する書込データを冗長書込データとして出力することができる。一方、冗長非選択時には、入出力制御信号S8が低レベルにされているので、I/O8に対応するトランスファゲート278がオン状態となり、I/O8に対応する書込データを冗長書込データとして出力する。冗長非選択時の冗長書込データ出力は、端に冗長書込データ線がフローティングになるのを防ぐためのものである。

【0082】図15は、図10に示したワード線活性化回路21Aおよび21Bの回路図である。

【0083】なお、ワード線活性化回路21Aと21Bとは、冗長ブロック選択信号のみが相違しているため、図15には2つの回路を重複して記載している。図15を参照して、ワード線活性化回路21Aおよび21Bは、それぞれ2入力NANDゲート211と、NANDゲート211の出力端子に接続されるインバータ212とを備える。ワード線活性化回路21AのNANDゲート211には、冗長ブロック選択信号/COとATD信号とが入力され、ワード線活性化回路21BのNANDゲート211には冗長ブロック選択信号COとATD信号とが入力される。

【0084】動作において、冗長非選択時には、冗長ブロック選択信号CO、/COのいずれも低レベルとなっているので、ワード線活性化回路21Aおよび21Bから出力されるワード線活性化信号は常に低レベルである。冗長非選択時には、冗長ブロック選択信号CO、/

COは、最下位列アドレス信号/Y0またはY0に従って高レベル/低レベルになっており、高レベルとなっている冗長選択信号を受けたワード線活性化回路は、ATD信号のレベルに従ってパルス信号(ワード線活性化信号)を発生する。

【0085】図16は、図10に示したZデコーダ22A、22Bおよび/Zデコーダ23Aおよび23Bの回路図である。図16の(a)は/Zデコーダ22Aおよび22B、図16の(b)は/Zデコーダ23Aおよび23Bの回路図である。Zデコーダ22Aおよび22Bは、ワード線活性化信号と最下位列アドレス信号/X0を受ける2入力NANDゲート221と、NANDゲートの出力端子に接続されるインバータ222とを含む。/Zデコーダ23Aおよび23Bは、ワード線活性化信号と最下位列アドレス信号X0とを受ける2入力NANDゲート231と、NANDゲート231の出力端子に接続されるインバータ232とを含む。Zデコーダ22Aおよび22Bと/Zデコーダ23Aおよび23Bは、最下位行アドレスX0をデコードするための回路である。最下位行アドレスX0以外の行アドレスは、メイン行デコーダ28によりデコードされる。

【0086】動作において、冗長非選択時には、ワード線活性化信号は常に低レベルなので、Zデコーダ22Aおよび22Bならびに/Zデコーダ23Aおよび23Bの出力は共に常に低レベルである。冗長選択時には、ワード線活性化信号は最下位列アドレス信号Y0とATD信号との両者または信号/Y0とATD信号との両者が高レベルのときに高レベルとなるパルス信号となっている。しかし、Zデコーダ22Aおよび22Bは、さらに最下位行アドレス信号X0が高レベルのときに、/Zデコーダ23Aおよび23Bは最下位行アドレス信号/X0が高レベルのときにワード線活性化信号を出力する。Zデコーダ22Aおよび/Zデコーダ23Aから出力されたワード線活性化信号は行デコーダ2Aに与えられ、Zデコーダ22Bおよび/Zデコーダ23Bにより出力されたワード線活性化信号は行デコーダ2Bに与えられる。

【0087】図16は、図10に示したダブルブロックセクタ24の回路図である。この実施例では、冗長ブロックRBAとRBBの切換を、最下位列アドレス信号Y0、/Y0によって切換える構成をとっているが、冗長メモリアルレイ1aおよび1b内に特定のI/Oが存在しないので、書込データをビット線に出力するためのライトドライバ33'は1個でよい。そのため、ライトドライバ33'を活性化するための信号は、ブロック選択信号CO、/COの論理和をとることにより作られる。

【0088】図16を参照して、このダブルブロックセクタ24は、ブロック選択信号/COとCOとを受けるNORゲート241と、書込制御信号を反転させるイ

21

ンパータ243と、NORゲート241の出力端子に一方の入力ゲートが接続されて他方の入力ゲートがインパータ243の出力端子に接続されるNORゲート242と、NORゲート242の出力端子に接続されるインパータ244とを含む。

【0089】動作において冗長非選択時には、ブロック選択信号CO、／COのいずれも低レベルなので、それらが入力されるNORゲート241の出力は高レベルとなる。NORゲート241の出力を受けるNORゲート242の出力は低レベルとなり、これがインパータ244により反転され、ダブルブロックセクタ24の出力（ダブルブロック信号）は高レベルとなる。

【0090】冗長選択時には、ブロック選択信号CO、／COのいずれか一方が高レベルなので、これらが入力されるNORゲート241の出力は低レベルとなる。冗長選択時に書込状態の場合には、NORゲート242のもう一方の入力は低レベルとなり、ダブルブロック信号は書込時には低レベルである。一方、冗長選択時に読出状態の場合には、NORゲート242のもう一方の入力は高レベルであるから、ダブルブロック信号は低レベルである。以上のように、ダブルブロック信号が、冗長選択時に書込状態のとき低レベルを出力し、それ以外のいずれの状態でも高レベルを出力する。低レベルのダブルブロック信号に応答してライトドライバ33'は動作する。

【0091】図17は、図10に示したライトドライバ33'の回路図である。図17を参照して、ライトデータ選択回路27により選択された冗長書込データはインパータ331および333を通してNANDゲート334の一方の入力端子に与えられる。ダブルブロック信号はインパータ332を通してNANDゲート334の他方の入力端子およびNANDゲート335の一方の入力端子に与えられる。NANDゲート335の他方の入力端子には、インパータ331により反転された冗長書込データが与えられる。

【0092】動作において冗長選択時には、ダブルブロック信号は高レベルなので、NANDゲート334の他方の入力端子およびNANDゲート335の一方の入力端子は低レベルとなり、NANDゲート334および335の出力信号D、／Dは共に高レベルとなる。冗長選択時の読出状態では、ダブルブロック信号は高レベルなので、冗長非選択時と同様に出力信号D、／Dは共に高レベルになる。冗長選択時の書込状態では、ダブルブロック信号は低レベルなので、NANDゲート334の出力信号／Dは冗長書込データによって決まり、NANDゲート335の出力信号Dは冗長書込データを反転させた信号のレベルによって決まる。すなわち、冗長書込データが高レベルのとき、NANDゲート335の入力は低レベルとなり、NANDゲート334の入力は高レベルとなる。したがって、出力信号Dは高レベルとなり、

(12)

特開平5-242693

22

出力信号／Dは低レベルとなる。同様にして、冗長書込データが低レベルのときには、出力信号Dはローレベルとなり、出力信号／Dは高レベルとなる。

【0093】以上のように、ライトドライバ33'の出力信号D、／Dは冗長選択時に書込状態のとき冗長書込データのレベルに従って“高レベル”／“低レベル”または“低レベル”／“高レベル”を出力し、それ以外のいずれの状態では“高レベル”／“高レベル”を出力する。

10 【0094】図19は、図10に示した行デコーダ2Aおよび2Bの回路図である。行デコーダ2Aと2Bとは同様の構成であるので、図19には1つの回路についてのみ示す。各行デコーダ2Aおよび2Bは、Zデコーダおよび／Zデコーダの出力とメイン行デコーダ28との論理積を出力する。メイン行デコーダ28は、最下位行アドレス信号X0以外のアドレスによって一方のワード線を選択し、高レベルを出力する。Zデコーダおよび／Zデコーダの出力は、最下位行アドレス信号X0とATD信号およびブロック選択信号CO、／COの論理積である。冗長選択時にはZデコーダおよび／Zデコーダの出力は共に低レベルなので、ワード線は低レベルのままである。冗長選択時には、Zデコーダおよび／Zデコーダの出力のいずれか一方がATD期間（ATD信号が高レベルの期間）のみ高レベルになる。したがって、メイン行デコーダ28の出力が高レベルでありかつ最下位行アドレス信号／X0またはX0が高レベルである行アドレスに対応するワード線のみが高レベルとなる。すなわち、ATD期間にその行アドレスが選択されることになる。

30 【0095】図20は、図10に示した列デコーダ29Aから第1段センスアンプ30Aまでの回路図である。

【0096】列デコーダ29Aは、書込列選択信号YDWによって冗長書込データをビット線に伝達するトランスファゲート291および292を含む。この実施例ではSRAMを例としているので、ビット線負荷トランジスタ293および294も列デコーダ29Aおよび29Bの中に含まれているが、本質的にはトランスファゲート291および292のみが列デコーダである。

40 【0097】書込列選択信号YDWは、冗長選択時に書込状態のときのみ高レベルとなり、それ以外のいずれの場合も低レベルを出力する。したがって、冗長非選択時には、書込列選択信号YDWは低レベルなので、ライトドライバ33'の出力D、／Dとビット線bitとビット線／bitとの間に設けられるトランスファゲート291および292はオフ状態である。冗長選択時に書込状態の場合には、書込列選択信号YDWは高レベルなので、対応のトランスファゲート291および292はオンし、ライトドライバ33'の出力信号D、／Dがビット線bit、／bitに伝達される。冗長選択時に読出状態の場合には、書込列選択信号YDWが低レベルなので

50

で、トランスファゲート291および292はオフ状態である。

【0098】次に図20に示される第1段センスアンプ30Aおよび30Bについて説明する。第1段センスアンプ30Aおよび30Bは複数のCMOSカレントミラー型センスアンプ301（以下、センスアンプ301と称する）を含む。センスアンプ301は、読出列選択信号YDRによって活性化される。読出列選択信号YDRは、冗長選択時の読出状態でかつATD信号が高レベルのときのみ高レベルである。それ以外のいずれの場合も低レベルである。したがって、冗長非選択時には、読出列選択信号はYDR低レベルなので、センスアンプ301は活性化されず、センスアンプの出力/SA0およびSA0は高レベルに固定される。冗長選択時で読出状態の場合には、ATD信号が高レベルの期間に読出列選択信号YDRは高レベルであるので、対応のセンスアンプ301は活性化されてセンスアンプ出力/SA0およびSA0には差動増幅された冗長メモリセルデータが出力される。

【0099】センスアンプ301をさらに詳細に説明する。センスアンプ301は、ビット線bitに接続されるnMOSトランジスタ302と、ビット線/bitに接続されるnMOSトランジスタ303と、ソースがVccにゲートがセンスアンプ出力SA0にドレインがセンスアンプ出力/SA0に接続されたpMOSトランジスタ304と、ソースがVccにゲートおよびドレインがセンスアンプ出力/SA0に共通に接続されたpMOSトランジスタ305と、ソースがVccにゲートがセンスアンプ出力/SA0にドレインがセンスアンプ出力SA0に接続されたpMOSトランジスタ306と、ソースがVccにゲートおよびドレインがセンスアンプ出力SA0に共通に接続されたpMOSトランジスタ307とを含む。なお、ゲートが接地電位に接続されたpMOSトランジスタ308および309は増幅動作には影響しないサイズの負荷トランジスタであり、センスアンプには含まれない。

【0100】動作において、ワード線が高レベルになってデータがビット線bitとビット線/bitに読出され、読出列選択信号YDRが高レベルになると、読出列選択信号YDRに対応のセンスアンプ301が増幅を開始する。まず、nMOSトランジスタ302および303とpMOSトランジスタ305および306とからなる部分回路を考える。センスアンプ出力/SA0はnMOSトランジスタ304とpMOSトランジスタ305とからなるインバータによって決定されるが、センスアンプ出力/SA0はpMOSトランジスタ306のゲートにも入力されており、pMOSトランジスタ306の特性を決定する。したがって、nMOSトランジスタ303とpMOSトランジスタ306とからなるインバータのしきい値をビット線電位になるようにpMOSトランジ

スタ306のゲート電圧を調整した形になる。したがってビット線/bitの電位とビット線bitの電位とに差が生ずるとそれが増幅されて電圧がセンスアンプ出力SA0に現われる。nMOSトランジスタ302および303とpMOSトランジスタ305および307とからなる部分回路についても動作は同様である。したがって、nMOSトランジスタ302および303とpMOSトランジスタ305および306とからなる部分回路と、nMOSトランジスタ302および303とpMOSトランジスタ305および307とにより、メモリセルに書込まれたデータを対称な形で増幅し、センスアンプ出力SA0とセンスアンプ/SA0に対称なデータを出力することができる。

【0101】図21は、図10に示した第2段センスアンプ31Aおよび31Bの回路図である。第2段センスアンプ31Aおよび31Bは同様な構成であるので、図21では1つの回路についてのみ示す。図21を参照して、各第2段センスアンプ31Aおよび31Bは、第1段センスアンプの出力/SA0、SA0の電位差を検出するための電位差検出回路311と、電位差検出回路311の出力をデータバスに接続するためのバッファ回路312とを備える。電位差検出回路311は、対応の第2段センスアンプ活性化回路32Aまたは32Bからの活性化信号に応答してセンスアンプ出力/SA0とSA0との電位差を増幅するための差動増幅段31aと、差動増幅段31aの出力を反転増幅するインバータ31bとを含む。差動増幅段31aは、nMOSトランジスタ313、315および319と、pMOSトランジスタ314、316および320とを含む。nMOSトランジスタ313は、そのゲートがセンスアンプ出力/SA0にそのドレイン電極がpMOSトランジスタ314および320のドレインにそのソースがnMOSトランジスタ315のソースおよびnMOSトランジスタ319のドレインに接続される。pMOSトランジスタ314は、そのソースがVccにそのゲートがpMOSトランジスタ316のゲートおよびドレインに接続される。nMOSトランジスタ315は、そのドレインがpMOSトランジスタ316のドレインにそのゲートがセンスアンプ出力SA0に接続される。pMOSトランジスタ316はそのソースがVccに接続される。pMOSトランジスタ320は、そのソースがVccにそのゲートが第2段センスアンプ活性化信号を受けるように接続される。インバータ31bは、pMOSトランジスタ317および321と、nMOSトランジスタ318とを含む。pMOSトランジスタ317はそのソースが差動増幅段31aの出力すなわちnMOSトランジスタ313のドレインに接続され、そのソースがVccに接続され、そのドレインがnMOSトランジスタのドレインおよびpMOSトランジスタ321のドレインに接続される。nMOSトランジスタ318は、そのゲートがセン

25

スアンプ出力SA0にそのソースがnMOSトランジスタ313のソースに接続される。pMOSトランジスタ321はそのゲートが第2段センスアンプ活性化信号にそのソースがVccにそのドレインがバッファ回路312に接続される。

【0102】バッファ回路312は、ソースがVccにドレインがデータバスに接続されるpMOSトランジスタ322と、ソースがGNDにドレインがデータバスに接続されたnMOSトランジスタ323と、インバータ31bの出力とpMOSトランジスタ322とを接続するためのCMOSトランスファゲート324と、インバータ31bの出力とnMOSトランジスタ323とを接続するためのCMOSトランスファゲート325と、第2段センスアンプ活性化信号を反転させるインバータ326と、ゲートが第2段センスアンプ活性化信号を受けするように接続されソースがVccに接続されドレインがpMOSトランジスタ322のゲートに接続されたpMOSトランジスタ327と、ゲートがインバータ326の出力に接続されソースが接地電位に接続されドレインがnMOSトランジスタ323のゲートに接続されたnMOSトランジスタ328とを含む。

【0103】動作において、第2段センスアンプ活性化信号が高レベルになると、これに応答して差動増幅段31aはセンスアンプ出力SA0と／SA0との電位差を差動増幅しインバータ31bに与える。ここで、差動増幅段31aは、CMOSカレントミラー型センスアンプとなっているので、センスアンプ出力SA0によってnMOSトランジスタ313のドレインの電位を決定し、センスアンプ出力／SA0とSA0とにレベル差が生じるとその差を増幅する。この増幅された出力はインバータ31bによりさらに増幅されて、バッファ回路312に与えられる。バッファ回路312は読出時は端にインバータ31bの出力に従ってpMOSトランジスタ320にまたはnMOSトランジスタ323がデータバスをドライブするだけであるが、第2段センスアンプ活性化信号が低レベルのとき（冗長非選択時または書込状態の場合）pMOSトランジスタ327およびnMOSトランジスタ328の両者がオンして、pMOSトランジスタ322およびnMOSトランジスタ323の両者をオフさせ、第2段センスアンプ31Aおよび32Bとデータバスとを切断しデータバス上のデータの競合を避けることができる。

【0104】図22は、図10に示した第2段センスアンプ活性化回路32Aおよび32Bの回路図である。センスアンプ活性化回路32Aと32Bとは同一の構成なので図22では1つの回路についてのみ示す。図22を参照して、第2段センスアンプ活性化回路32は、3入力ANDゲートと等価である。したがって、第2段センスアンプ活性化信号は冗長ブロック選択信号とATD信号および読出制御信号の論理積である。したがって、非

(14)

特開平5-242693

26

冗長選択時には、第2段センスアンプ活性化信号は低レベルとなる。また、冗長選択時で書込状態の場合にも第2段センスアンプ活性化信号はローレベルとなる。冗長選択時で読出状態の場合には、第2段センスアンプ活性化信号は、ATD信号のレベルに従って高レベルまたは低レベルを出力する。

【0105】次に、図10ないし図22に示した半導体記憶装置の動作を説明する。まず、冗長非選択の場合には、アドレスプログラム回路ブロック3から出力される一致検出信号CO1ないしCO8は低レベルなので、冗長選択判定回路6から出力される判定信号S0は低レベルとなる。したがって、第1および第2の冗長ブロック選択回路7aおよび7bから出力されるブロック選択信号CO、／COは共に低レベルとなり、ワード線が活性化されないで、冗長メモリセルアレイ1aおよび1bにデータが書込まれることはない。そして、第2段センスアンプ活性化回路32Aおよび32Bから選択的に出力される第2段センスアンプ活性化信号は常時低レベルなので、第2段センスアンプ31Aおよび31Bとデータバスとは接続されず冗長メモリセルアレイ1aおよび1bから偽データを読出すこともない。

【0106】さらに、一致検出信号CO1ないしCO8が低レベルなので、I/Oプログラム回路4'が出力される入出力制御信号S1ないしS8のうちの入出力信号S8のみが低レベルになり、ライトデータ選択回路27はI/O8の書込データを冗長書込データとしてライトドライバ33'に伝達する。それにより、ライトドライバ33'の入力電位の不定に起因する貫通電流も防止することができる。

【0107】冗長選択の場合には、外部から入力された列アドレス信号と予めプログラムされた冗長アドレスとの一致がアドレスプログラム回路ブロック3により検出され、一致検出信号CO1ないしCO8が出力される。応答して冗長選択判定回路6は高レベル判定信号S0を第1および第2の冗長ブロック選択回路7aおよび7bに出力する。第1の冗長ブロック選択回路7aは、入力された最下位列アドレス信号／Y0と判定信号S0との論理積をとりブロック選択信号／COを発生する。また、第2の冗長ブロック選択回路7bは、最下位列アドレス信号Y0と判定信号S0との論理積をとりブロック選択信号COを発生する。選択されたブロックに対応するブロック選択信号が高レベルとなる。ワード線活性化回路21Aは、ブロック選択信号／COとATD信号とに応答してワード線活性化信号を発生し、ワード線活性化回路21Bはブロック選択信号COとATD信号とに応答してワード線活性化信号を発生する。この発生されたワード線活性化信号はZデコーダおよび／Zデコーダに与えられる。Zデコーダ22Aおよび22Bは、ワード線活性化信号と最下位行アドレス信号X0とに応答して最下位行を選択するためのZデコーダ信号を発生す

50

27

る。メイン行デコーダ28は最下位行アドレス信号X0を除く行アドレス信号に基づいて行を選択するための信号を発生する。行デコーダ2Aおよび2BはZデコーダ信号とメイン行デコーダ28からの行選択のための信号との論理積をとり、1本の行のみを選択するための信号が発生する。この信号により1本の選択されたワード線が高レベルに立上がり、書込および読出が可能となる。

【0108】まず、冗長選択時で書込状態の場合には、書込用冗長Yデコーダ26は一致検出信号CO1ないしCO8と書込制御信号とにตอบสนองして書込列選択信号YDWを発生する。この書込列選択信号YDWが列デコーダ29Aおよび29Bに与えられる。それによりブロック選択信号/CO、COによって選択された冗長ブロックの列アドレスへの書込が可能な状態となる。ライトデータ選択回路27は、I/Oプログラム回路4'からの入出力制御信号S1ないしS8にตอบสนองして入力データDiのうち1ビット分の書込データを選択する。選択された書込データはライトドライバ33'に伝達され、列デコーダ29Aと行デコーダ2Aとにより選択された行および列または列デコーダ29Bと行デコーダ2Bとにより選択された列および行との交点のメモリセルに書込データが書込まれる。書込期間はATD期間により決定される。このATD期間を調節することにより、動作電流を小さくすることができる。

【0109】次に、冗長選択時で読出状態の場合には、読出用Yデコーダ25は、一致検出信号CO1ないしCO8とATD信号と読出制御信号とにตอบสนองして読出列選択信号YDRを発生する。この読出列選択信号YDRは第1段センスアンプ31Aおよび31Bに与えられる。それにより、第1段センスアンプ30A内のセンスアンプが選択的に活性化され、メモリセルアレイ1aおよび1b内の対応の列からの読出が可能となる。冗長メモリセルアレイ1aから読出されたデータは、第1段センスアンプ30Aにより増幅された後第2段センスアンプ31Aに伝達される。また、冗長メモリセルアレイ1bから読出されたデータは第1段センスアンプ30bで増幅された後第2段センスアンプ31Bに伝達される。第2段センスアンプ31Aはセンスアンプ活性化回路32Aからのセンスアンプ活性化信号にตอบสนองして与えられたデータをデータバスをドライブできるレベルに増幅する。また、第2段センスアンプ31bは、センスアンプ活性化回路32Bからのセンスアンプ活性化信号にตอบสนองして、与えられたデータをデータバスをドライブできるレベルまで増幅する。第2段センスアンプ31Aおよび31Bの一方のみが活性化されているので、データバス上で正しいデータと偽データとが競合することはない。読出期間もATD信号により決定される。ATD期間を調節することにより、ワード線および第1段センスアンプおよび第2段センスアンプを非活性化して、読出期間後における動作電流削減することができる。第2段センス

(15)

特開平5-242693

28

アンプからデータバスに出力された通常-冗長切換回路(図示しない)での置換動作は、図1に示した実施例と同様である。

【0110】また、図1および図10に示した半導体記憶装置では、I/Oが8個の場合について説明したが、I/Oを任意の個数にしてもよい。さらに上記実施例では、半導体記憶装置としてSRAMの場合を説明したが、DRAMに適用することも可能である。

【0111】

10 【発明の効果】以上のように、この発明によれば、少なくとも2つの冗長メモリセルアレイを設け、冗長アクセス手段により2つの冗長メモリセルアレイにアクセスできるようにしたので、複数のメモリセルアレイにおいて連続して存在する可能性の高い欠陥を救済することができる。したがって高集積化の観点から効率のよい半導体記憶装置が得られる。

【図面の簡単な説明】

【図1】この発明の半導体記憶装置の一実施例を示す回路図である。

20 【図2】図1に示した冗長ブロックRB1、RB2の回路図である。

【図3】図1に示したアドレスプログラム回路ブロック3のブロック図である。

【図4】図1に示したI/Oプログラム回路4のブロック図である。

【図5】図4に示したI/Oヒューズ回路41の回路図である。

【図6】図4に示したデコード回路49の回路図である。

30 【図7】図1に示した通常-冗長切換回路5の回路図である。

【図8】図1に示した冗長選択判定回路6の回路図である。

【図9】図1に示した第1の冗長ブロック選択回路7aおよび第2の冗長ブロック選択回路7bの回路図である。

【図10】この発明の半導体記憶装置のもう1つの実施例を示すブロック図である。

40 【図11】図10に示した読出用Yデコーダ25の回路図である。

【図12】図10に示した書込用Yデコーダ26の回路図である。

【図13】図10に示したI/Oプログラム回路4'の回路図である。

【図14】図10に示したライトデータ選択回路27の回路図である。

【図15】図10に示したワード線活性化回路21Aおよび21Bの回路図である。

50 【図16】図10に示したZデコーダおよび/Zデコーダの回路図である。

(16)

特開平5-242693

29

【図17】図10に示したダブルブロックセクタ24の回路図である。

【図18】図10に示したライトドライバ33'の回路図である。

【図19】図10に示した行デコーダの回路図である。

【図20】図10に示した列デコーダから第1段センスアンプまでの回路図である。

【図21】図10に示した第2段センスアンプの回路図である。

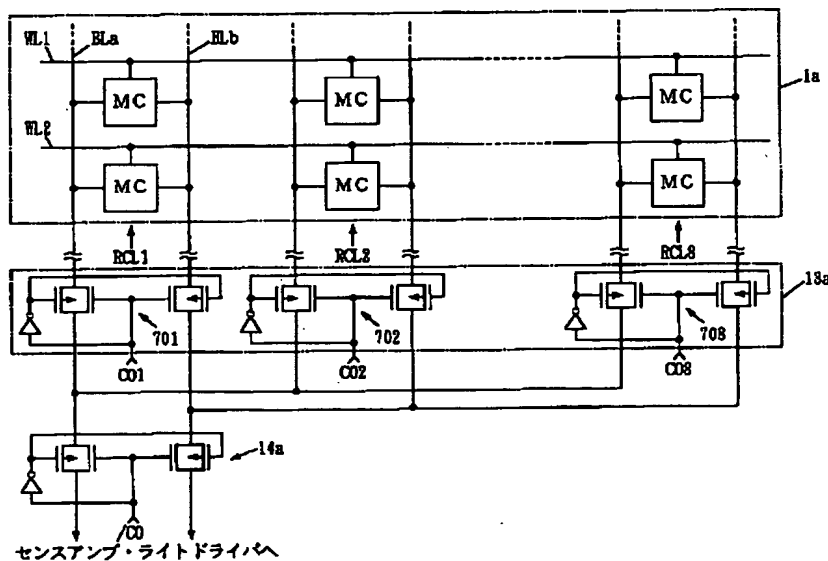
【図22】図10に示したセンスアンプ活性化回路の回路図である。

【図23】冗長回路を備えた従来のSRAMのブロック図である。

【図24】図23に示したアドレスプログラム回路86のブロック図である。

【図25】図24に示したヒューズ回路861の回路図である。

【図2】



30

【図26】図23に示したI/Oプログラム回路87の回路図である。

【図27】図23に示したトランSMミッションゲート回路の回路図である。

【符号の説明】

1a, 1b 冗長メモリセルアレイ

2a, 2b 行デコーダ

3 アドレスプログラム回路ブロック

4 I/Oプログラム回路

5 通常-冗長切換回路

6 冗長選択判定回路

7a 第1の冗長ブロック選択回路

7b 第2の冗長ブロック選択回路

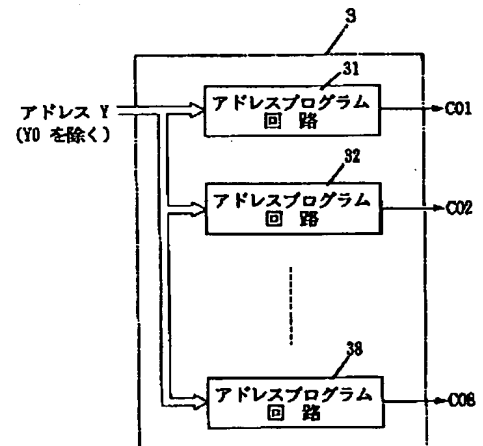
YDR 読出列選択信号

YDW 書込列選択信号

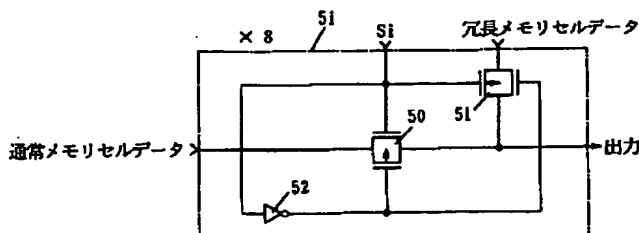
Y0, /Y0 最下位列アドレス信号

X0, /X0 最下位行アドレス信号

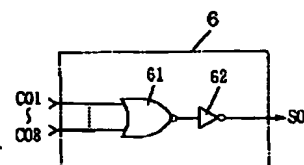
【図3】



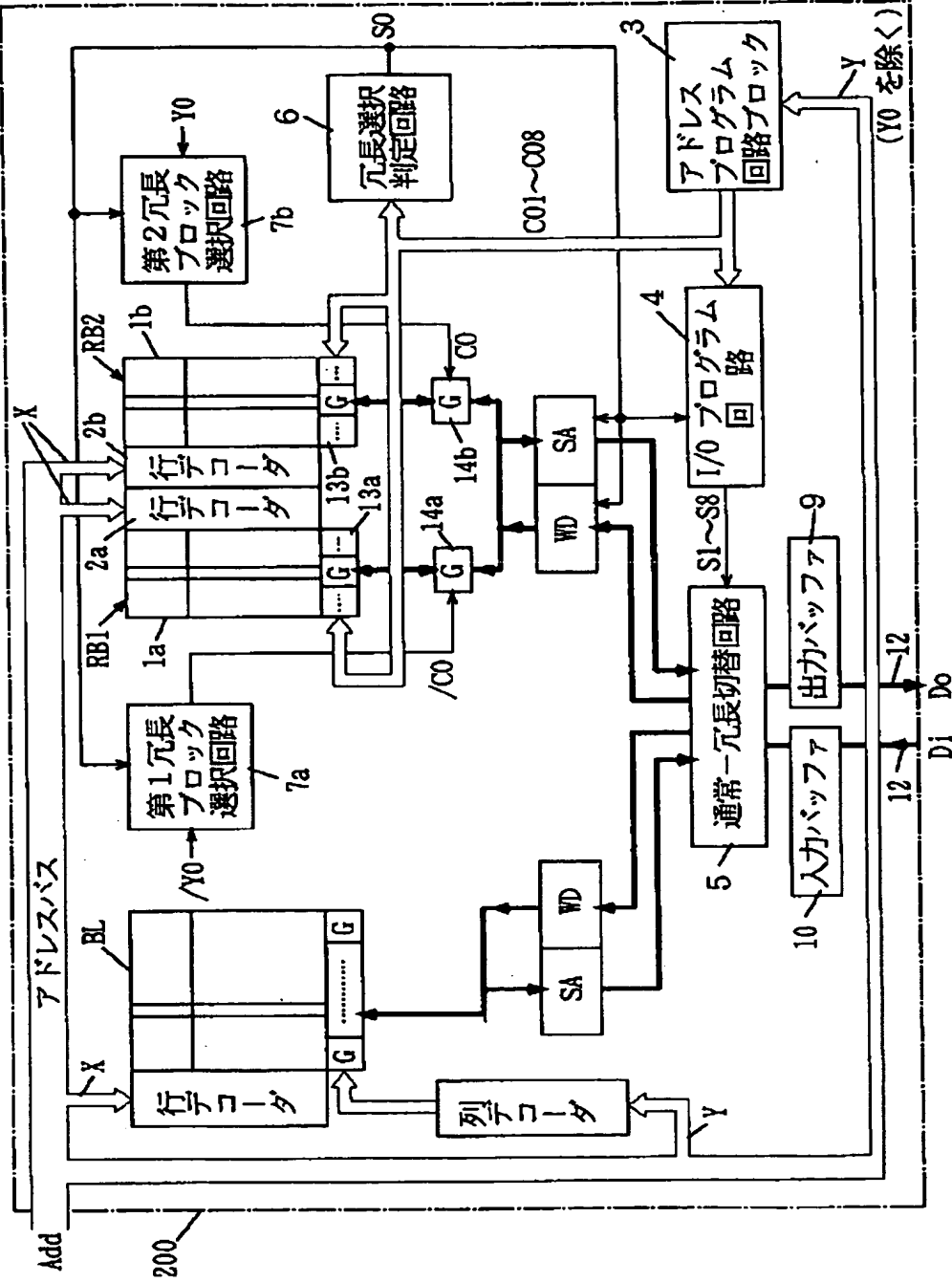
【図7】



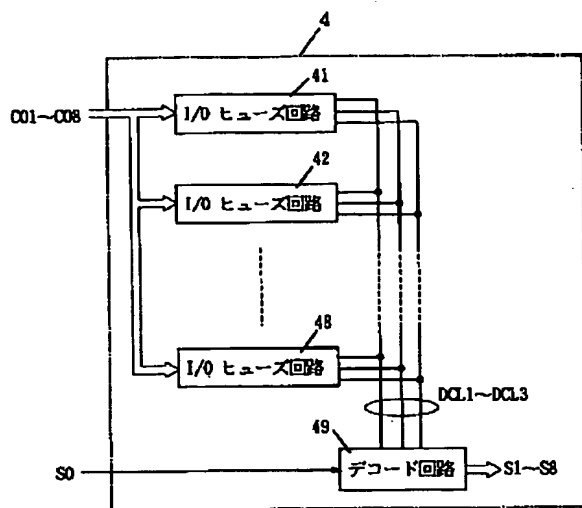
【図8】



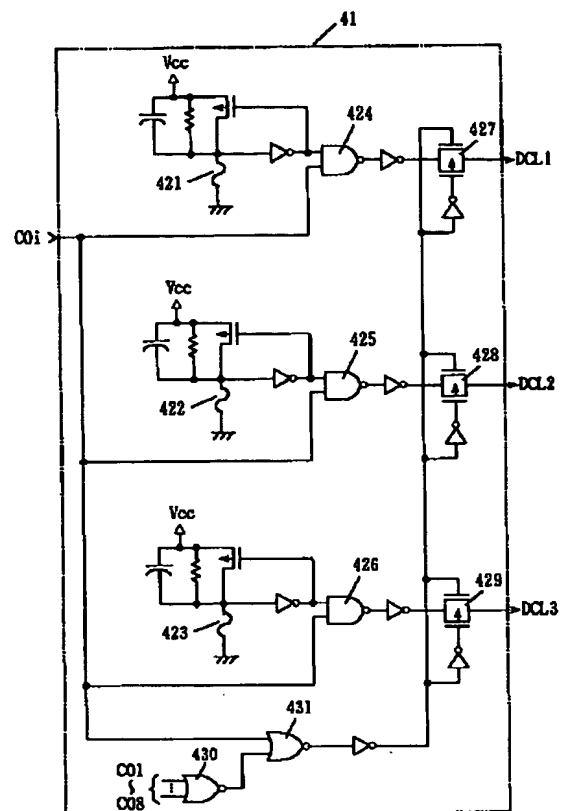
【図1】



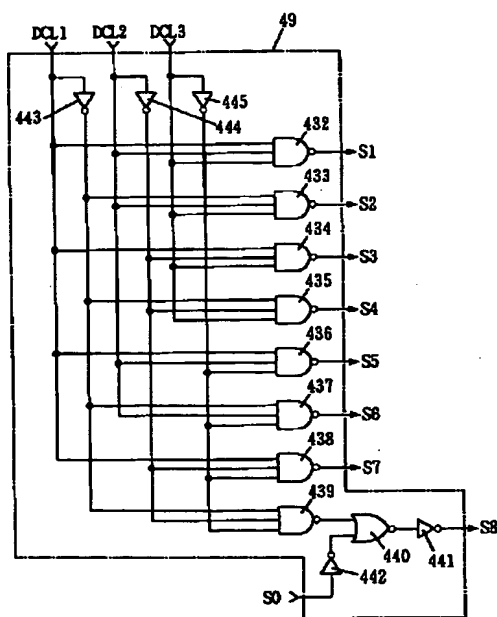
【図4】



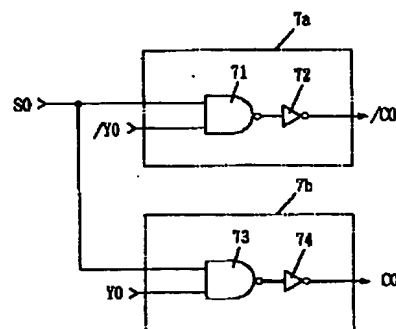
【図5】



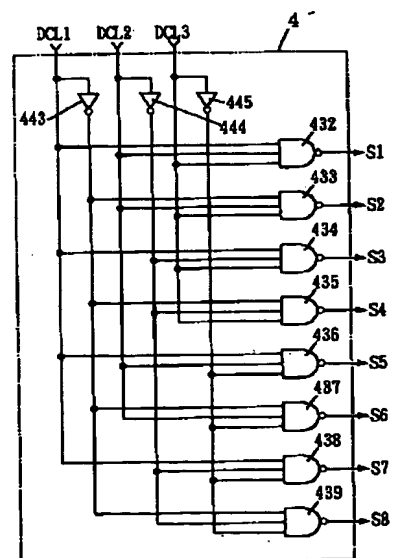
【図6】



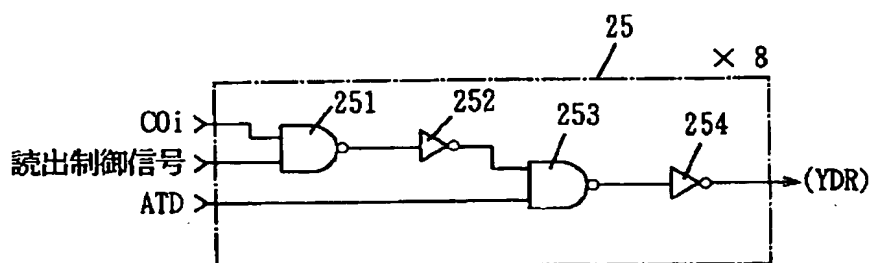
【図9】



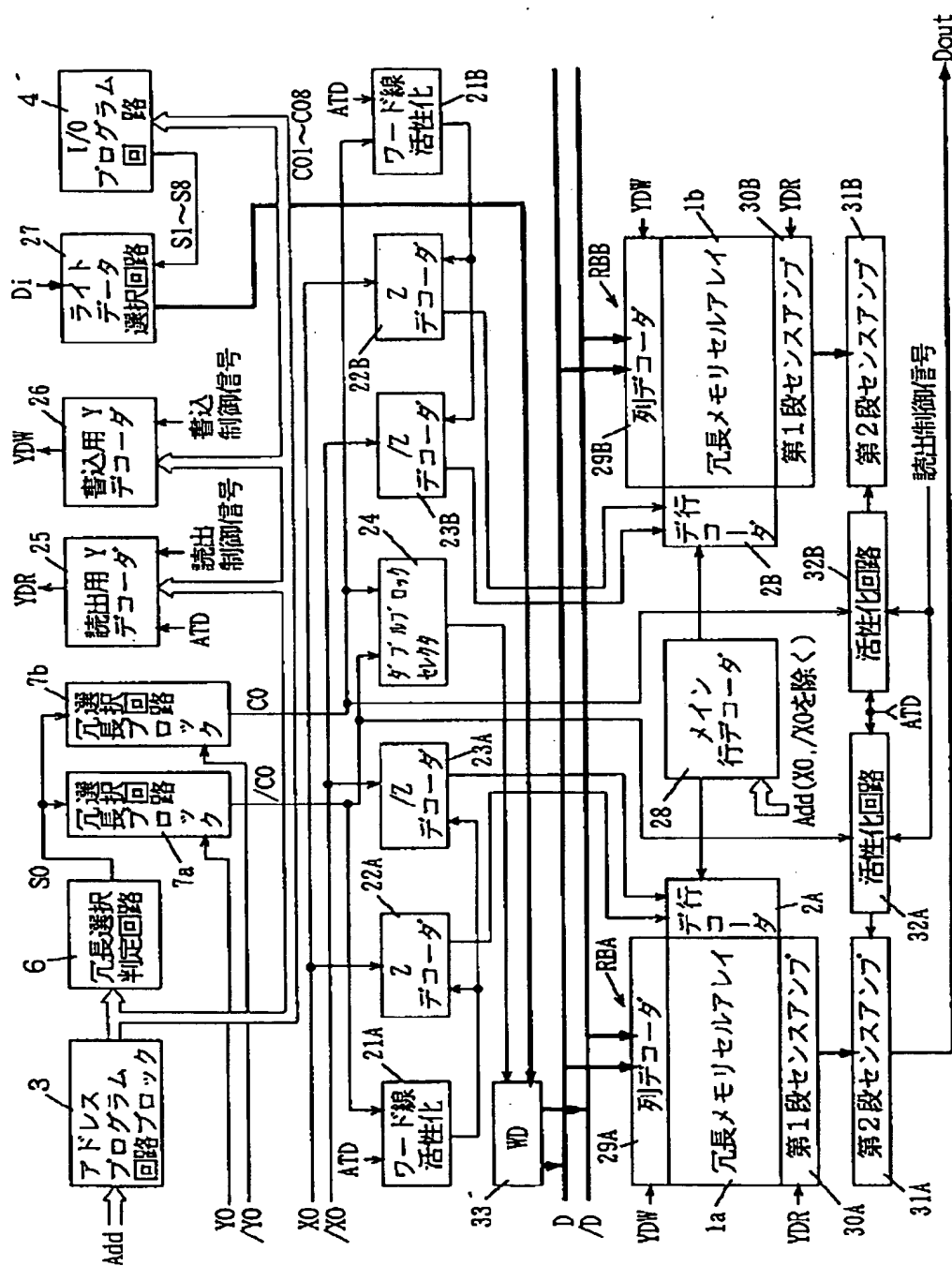
【図13】



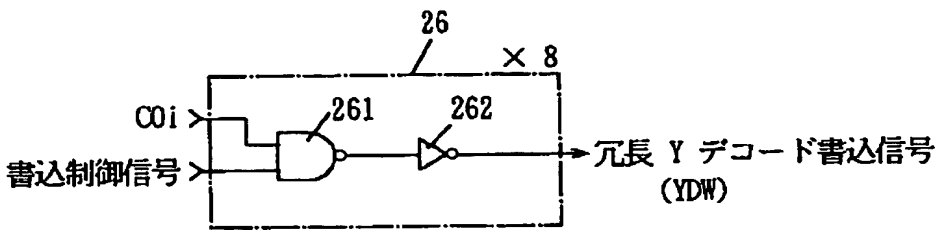
【図11】



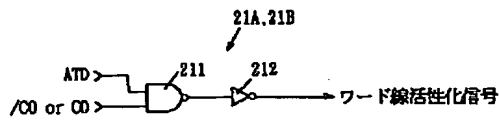
【図10】



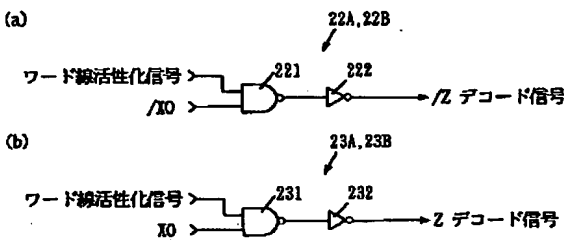
【図12】



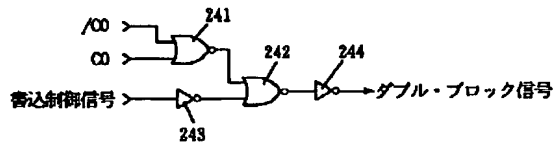
【図15】



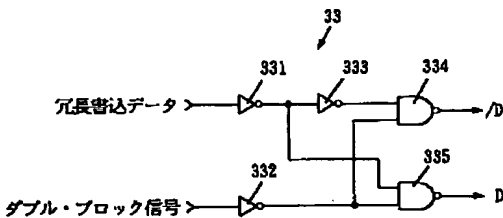
【図16】



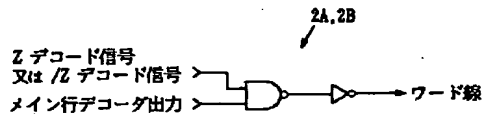
【図17】



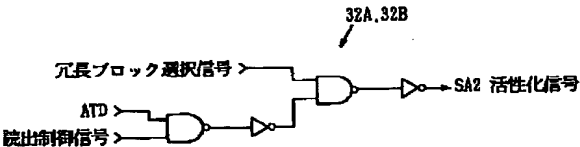
【図18】



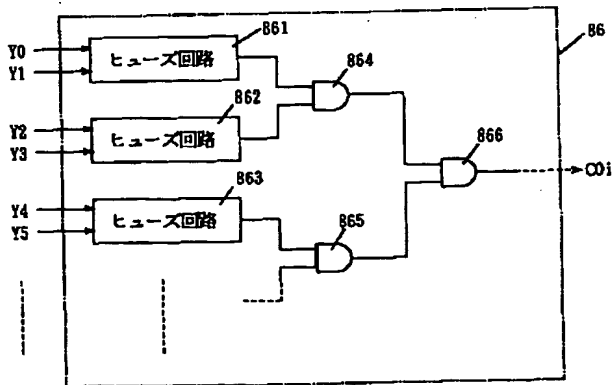
【図19】



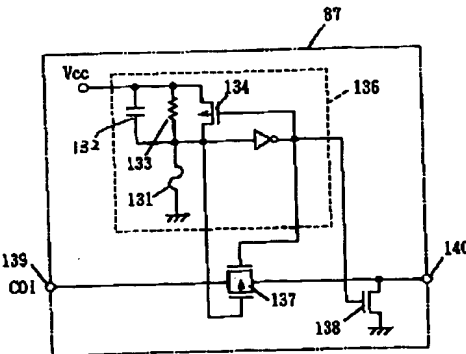
【図22】



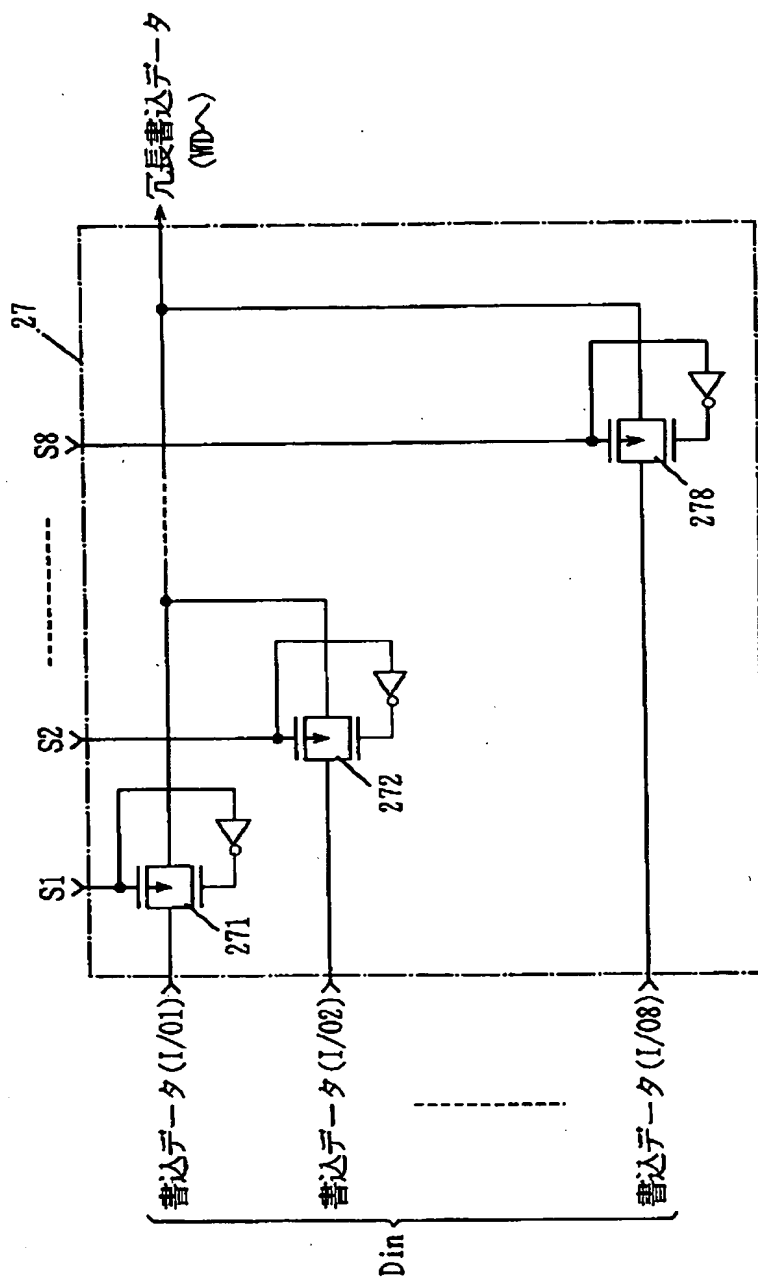
【図24】



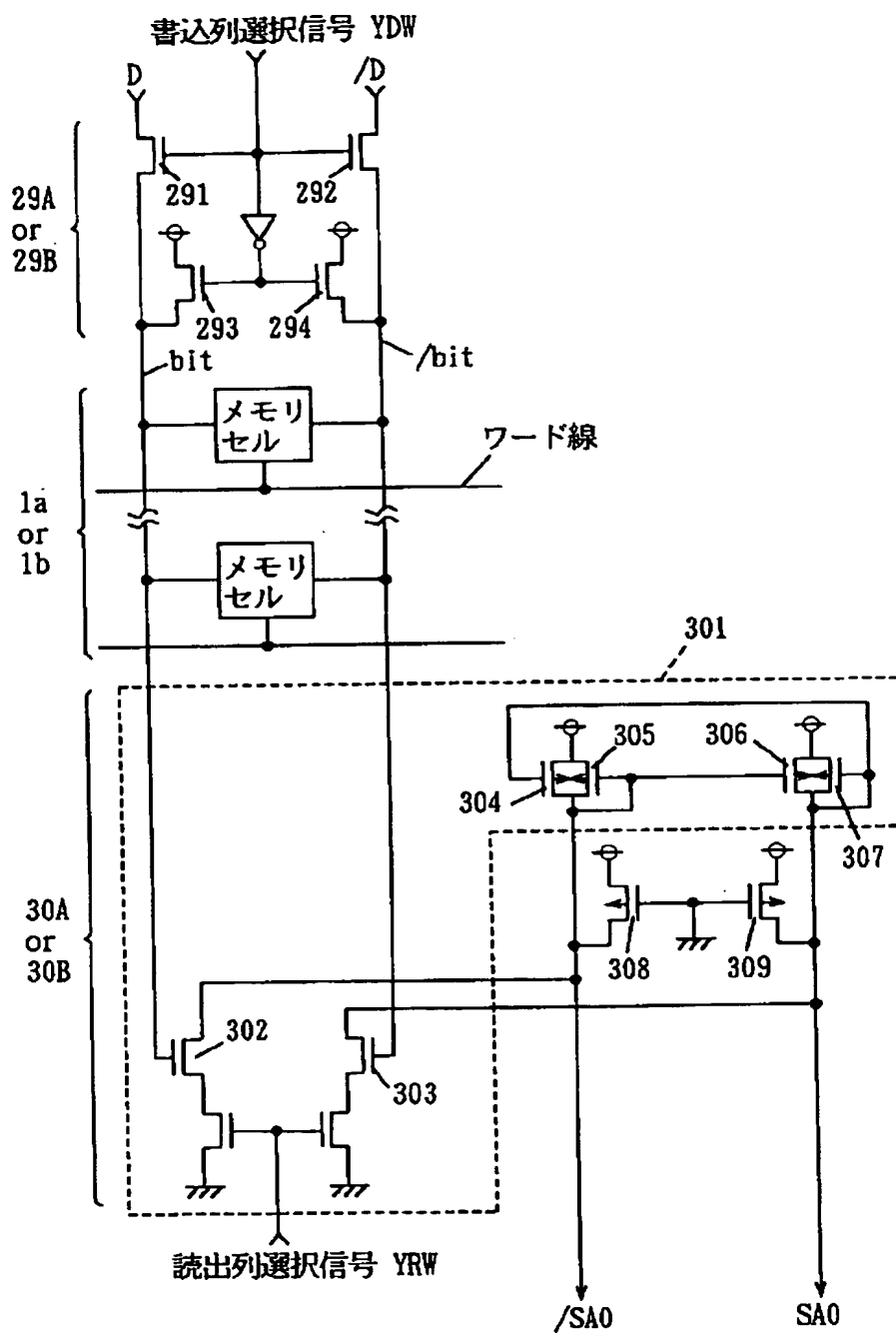
【図26】



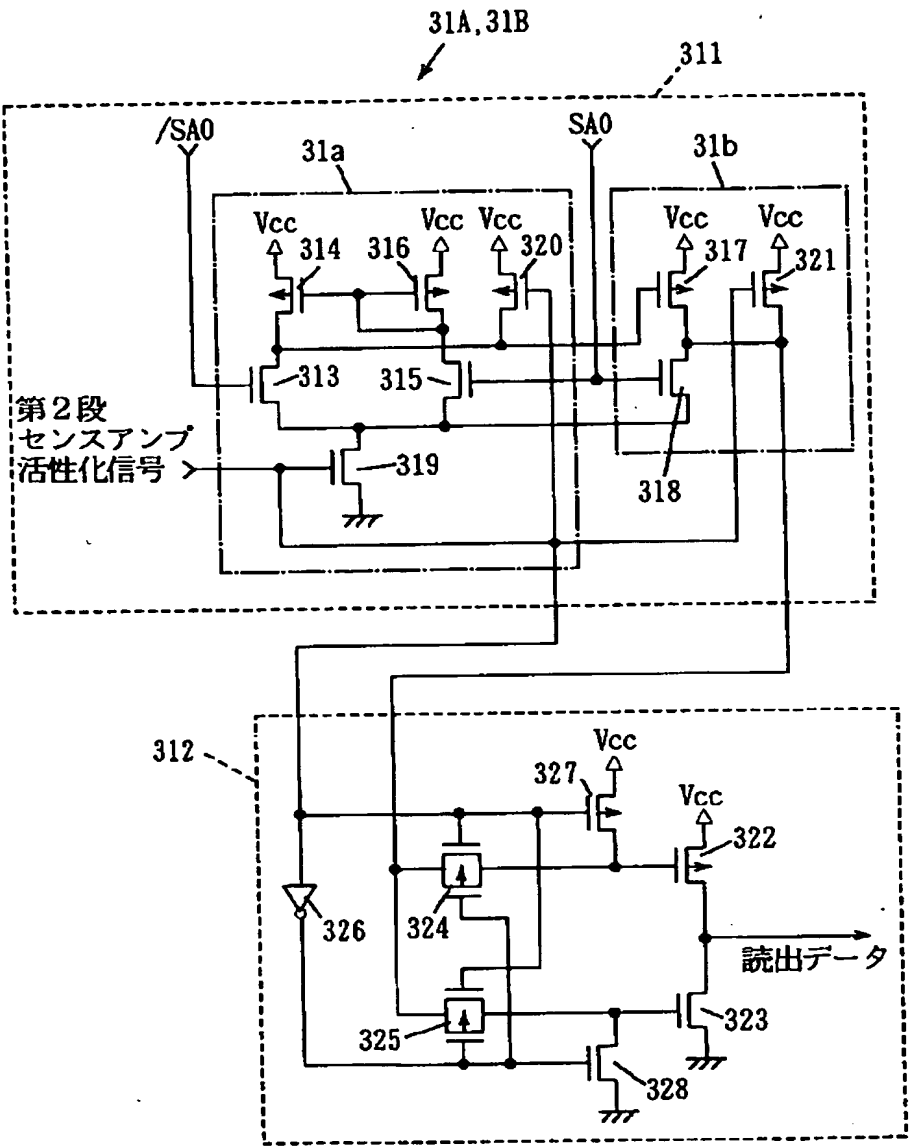
【図14】



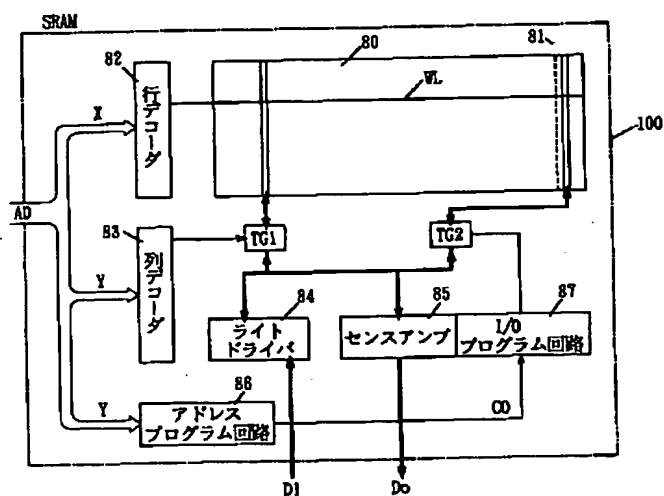
【図20】



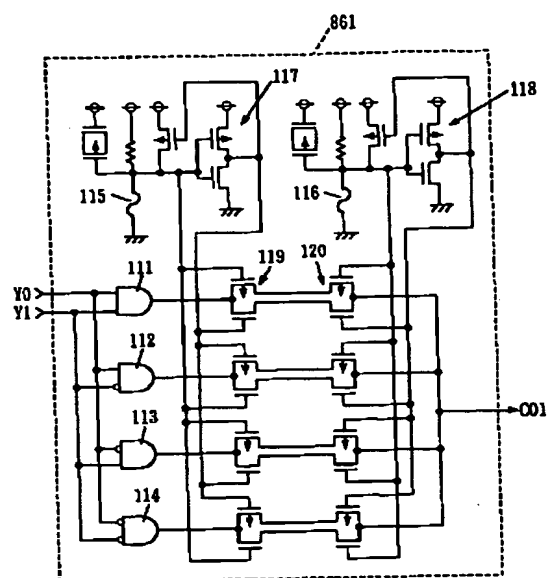
【図21】



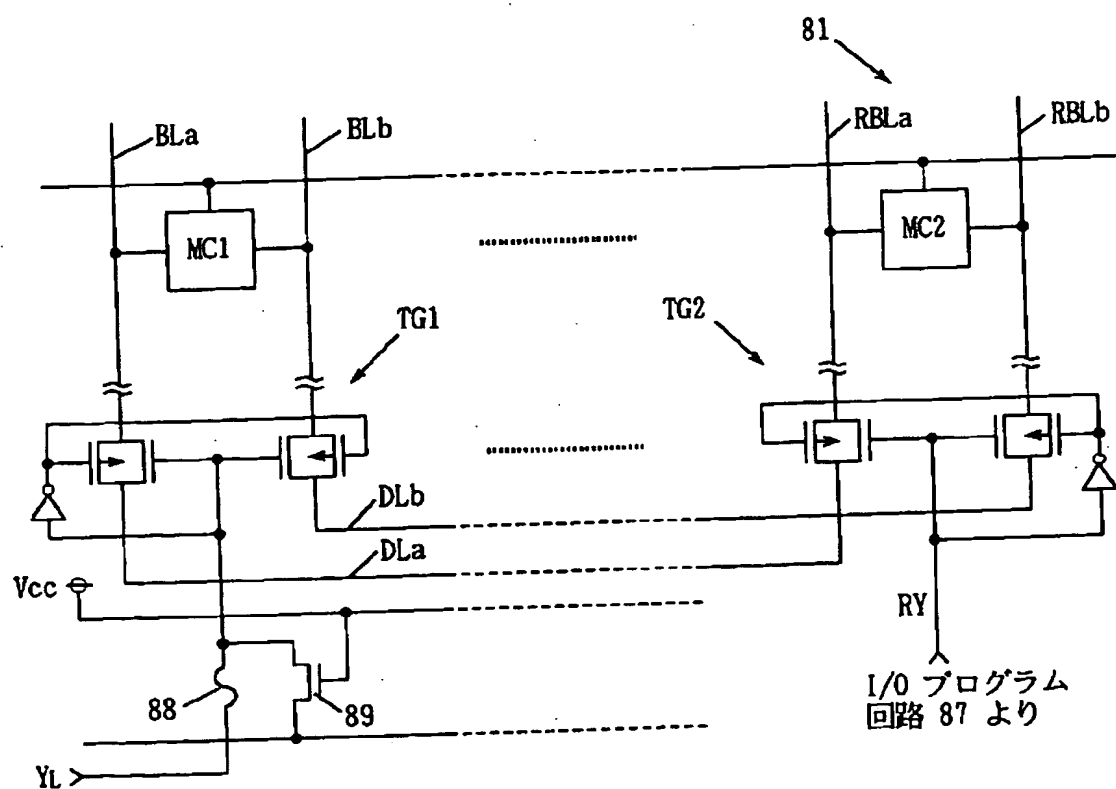
【图 23】



【图 25】



【图 27】



【手続補正書】

【提出日】平成5年5月20日

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】全文

【補正方法】変更

【補正内容】

【書類名】 明細書

【発明の名称】 半導体記憶装置

【特許請求の範囲】

【請求項1】 各々が、行および列に配設されたメモリセルを備えた複数のメモリセルアレイブロックと、行および列に配設された冗長メモリセルを備えた少なくとも1つの冗長メモリセルアレイブロックと、少なくとも1つが欠陥を含む少なくとも2つの隣接する列を示すアドレス信号を記憶し、入力されるアドレス信号と記憶された欠陥アドレス信号との一致を検出するためのアドレス一致検出手段と、前記アドレス一致検出手段にตอบสนองして、前記少なくとも1つの冗長メモリセルアレイブロックのうちの少なくとも2つの列にアクセスし、前記複数のメモリセルアレイブロックのうちの少なくとも1つに対して少なくとも2つの隣接する列を置換えるための冗長ブロックアクセス手段とを含む半導体記憶装置。

【請求項2】 各々が、行および列に配設されたメモリセルを備えた複数のメモリセルアレイブロックと、各々が、行および列に配設され、メモリセルアレイブロックのすべての欠陥列を置換えるための冗長メモリセルを備えた少なくとも2つの冗長メモリセルアレイと、前記少なくとも2つの冗長メモリセルアレイに対応して設けられ、対応の冗長メモリセルアレイ内の対応の行にアクセスするための少なくとも2つの行デコーダと、少なくとも1つは欠陥を含む少なくとも2つの隣接する列を示すアドレス信号を記憶し、入力されるアドレス信号と記憶された欠陥アドレス信号との一致を検出するためのアドレス一致検出手段と、前記アドレス一致検出手段にตอบสนองして、各冗長メモリセルアレイの少なくとも1つの欠陥列にアクセスし、少なくとも1つのメモリセルアレイブロック内の少なくとも2つの隣接する列を置換えるための冗長ブロックアクセス手段とを含む半導体記憶装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 この発明は、一般に半導体記憶装置に関し、特に欠陥を救済するための冗長メモリセルアレイを備えた半導体記憶装置に関する。

【0002】

【従来の技術】 従来よりスタティックランダムアクセスメモリ（以下「SRAM」という）およびダイナミックランダムアクセスメモリ（以下「DRAM」という）な

どのような半導体記憶装置は、製造における歩留まりを向上させるため、冗長回路を備えている。製造された半導体記憶装置内に欠陥が存在するとき、その半導体記憶装置は冗長回路の機能により救済される。すなわち、従来の半導体記憶装置では、欠陥メモリセルを含む行または列が、予め定められた冗長行または列と機能的に置換えられる。この発明は、一般にSRAMおよびDRAMなどのような半導体記憶装置に適用可能であるが、以下の記載では、この発明が一例としてSRAMに適用される場合について説明する。

【0003】 図23は、冗長回路を有する従来のSRAMのブロックである。図23を参照して、このSRAM100は、データをストアするためのメモリセルアレイ80と、行アドレス信号Xにตอบสนองしてメモリセルアレイ80内のワード線WLを選択するための行デコーダ82と、列アドレス信号Yにตอบสนองしてメモリセルアレイ内の列を選択する列デコーダ83と、ライトドライバ回路84と、センスアンプ85とを含む。SRAM100は、さらに冗長回路として、冗長メモリセル列81と、欠陥が存在する位置を示す欠陥アドレスをプログラムするためのアドレスプログラム回路86と、I/Oプログラム回路87とを備える。

【0004】 動作において、行デコーダ82は、外部から与えられる行アドレス信号Xにตอบสนองして、メモリセルアレイ80内の1本のワード線WLを活性化させる。列デコーダ83は、外部から与えられる列アドレス信号Yにตอบสนองして、アクセスされるべき1つの列を選択する。すなわち、列デコーダ83は、アクセスされるべき列に接続されたトランсмисシオンゲートTG1を選択的にオンさせ、そのビット線をライトドライバ回路84またはセンスアンプ回路85に電氣的に接続する。したがって、書込動作において、外部から与えられた入力データDiが、行デコーダ82および列デコーダ83によって選択されたメモリセルに書込まれる。一方、読出動作において、行デコーダ82および列デコーダ83によって選択されたメモリセルから読出されたデータ信号をセンスアンプ85が増幅し、増幅された信号が出力データDoとして出力される。

【0005】 もし、或る1つのメモリセル列内に何らかの欠陥が存在することが発見されたとき、その欠陥メモリセル列は次のように冗長メモリセル列81と機能的に置換えられる。欠陥メモリセル列の位置を示す欠陥アドレスはヒューズ（後述の図25に示される）を選択的に切断することにより、アドレスプログラム回路86内にプログラムされる。アドレスプログラム回路86は、図示しない一致検出回路を備えており、外部から与えられる列アドレス信号Yとプログラムされたアドレス信号との一致が検出される。一致検出信号COは、I/Oプログラム回路87に与えられる。

【0006】I/Oプログラム回路87内のヒューズ（後述する図26参照）は、予め選択的に切断されており、それによって、冗長メモリセル列81内のビット線がトランSMissionゲート回路TG2を介してライトドライバ回路84および/またはセンスアンプ85に接続される。その結果、列アドレス信号Yがプログラムされたアドレス信号と一致するとき、通常のメモリセルアレイ80へのアクセスに代えて、冗長メモリセル列81へのアクセスが行なわれる。一方、このときトランSMissionゲート回路TG1はオフされている。

【0007】図23では、説明の簡略化のために1つのメモリセルアレイ80とその周辺回路82、83、…などが示されているが、一般に従来のSRAMは、複数のメモリセルアレイおよびその周辺回路を備えている。すなわち、図23では1つのブロックのメモリセルアレイおよびその周辺回路だけが示されているが、実際には複数のたとえば64個のブロックが設けられている。

【0008】図23からわかるように、1つのメモリセルアレイ80毎に1本または2本の冗長メモリセル列（または行）が設けられているので、複数の（たとえば64個の）メモリセルアレイを備えたSRAMは、64本または128本の冗長メモリセル列（または行）を備えていることになる。

【0009】図24は、図23に示したアドレスプログラム回路86のブロック図である。アドレスプログラム回路86は、欠陥アドレスをプログラムするため複数のヒューズ回路861～863と、入力されるアドレス信号と欠陥アドレスとの一致を検出するためのANDゲート864～866とを備える。ヒューズ回路861～863は、複数ビットの列アドレス信号のうちの対応する2つを受ける。ヒューズ回路の個数およびANDゲートの個数は、アドレス信号のビット数に応じて変更されるものである。

【0010】図25は、図24のヒューズ回路861の構成を示す回路図である。図25に示されるヒューズ回路861は、列アドレス信号Y0およびY1をプリデコードするためのANDゲート111ないし114と、プログラミングのためのヒューズ115および116とを含む。2つのヒューズ115および116を選択的に切断することにより、2ビットの欠陥アドレス信号をプログラムすることができる。ヒューズ115および116が接続されているとき、インバータ117および118は高レベルの電圧をそれぞれ出力する。他方、ヒューズ115および116が切断されているとき、インバータ117および118は低レベルの電圧を出力する。ANDゲート111は、高レベルの列アドレス信号Y0およびY1が与えられたとき、高レベルの電圧を出力する。ANDゲート112は、高レベルの信号Y0と低レベルの信号Y1が与えられたとき、高レベルの電圧を出力する。

【0011】ANDゲート113は、低レベルの信号Y0と高レベルの信号Y1とが与えられたとき、高レベルの電圧を出力する。ANDゲート114は、低レベルの信号Y0およびY1が与えられたとき、高レベルの電圧を出力する。

【0012】したがって、たとえばヒューズ115および116が接続されている場合では、トランSMissionゲート119および120がオンする。この場合に、高レベルの列アドレス信号Y0およびY1が与えられたとき、ANDゲート111がトランSMissionゲート119および120を介して高レベルの信号C01を出力する。言い換えるとヒューズ115および116の“接続”によってプログラムされた2ビットの欠陥アドレスと列アドレスY0およびY1とが一致したときのみ、ヒューズ回路861は高レベルの信号C01を出力する。信号C01は、図24に示したANDゲート864に与えられる。

【0013】その結果、図24に示したアドレスプログラム回路86は、プログラムされた欠陥アドレスと外部から与えられた列アドレスとが一致したときのみ、高レベルのアドレス一致検出信号COiを出力する。

【0014】図26は、図23のI/Oプログラム回路87の回路図である。図26に示したI/Oプログラム回路87は、予め入力用のトランSMissionゲートTG2をプログラミングするヒューズ回路136と、入力端子139と出力端子140との間に接続され、ヒューズ回路136からの出力信号にตอบสนองして開閉するトランSMissionゲート137と、出力端子140と接地電位との間に接続されるNMOSトランジスタ138とを含む。ヒューズ回路136は、アドレスプログラム回路86と同様にヒューズ131、キャパシタ132、高抵抗133、Pチャネルトランジスタ134およびCMOSインバータ135を含む。

【0015】動作において、ヒューズ131が切断状態の場合には、電源端子からキャパシタ132および高抵抗133を通してインバータ135の入力に電流が流れ、インバータ135の入力端子は高レベルとなり、インバータ135の出力端子は低レベルとなる。したがって、トランSMissionゲート137はオン状態となり、入力データ（アドレスプログラム回路86の出力）を通過させる。一方、ヒューズ131が切断されていない状態では、出力端子140はNチャネルトランジスタ138により低レベルに固定される。

【0016】図27は、図23に示したトランSMissionゲート回路TG1およびTG2と、ビット線ならびにメモリセルを示す回路図である。図27を参照して、トランSMissionゲート回路TG1は、通常のメモリセルアレイ内のビット線対BLa、BLbとデータ線対DLa、DLbとの間に接続される。一方、トランSMissionゲート回路TG2は、冗長メモリセル列内のビ

ット線対RBLa, RBLbとデータ線対DLa, DLbとの間に接続される。トランスミッションゲート回路TG1は、列デコーダ(図示せず)から与えられる高レベルの列選択信号Y_Lにตอบสนองしてオンするので、ビット線対BLa, BLbとデータ線対DLa, DLbとが電気的に接続される。NMOSトランジスタ89のゲートに電源電位V_{cc}が与えられるので、トランジスタ89がオンするが、トランジスタ89は高いオン抵抗を有しているため、列選択信号Y_Lの電位は影響されない。したがって、高レベルの列選択信号Y_Lは、ヒューズ88を介して正しくトランスミッションゲート回路TG1に与えられる。

【0017】もし、メモリセルMC1に欠陥があると、ヒューズ88が切断される。したがって、トランスミッションゲート回路TG1に、トランジスタ89を介して接地電位が与えられるので、トランスミッションゲート回路TG1がオフする。一方、メモリセルMC1が存在する列を選択する列アドレス信号が与えられたとき、I/Oプログラム回路87を介して高レベルの信号RYがトランスミッションゲート回路TG2に与えられる。したがって、トランスミッションゲート回路TG2がオンするので、その結果、メモリセルMC1が存在する列と冗長メモリセル列81とが機能的に置換えられたことになる。

【0018】

【発明が解決しようとする課題】上記のように、従来の半導体メモリは、複数のメモリセルアレイと、各メモリセルアレイに対応して設けられた1本または2本の冗長メモリセル列とを備えている。したがって、たとえば64個のメモリセルアレイを備えたSRAMは、64本または128本の欠陥メモリセル列または行を救済する能力を有している。しかしながら、実際には、それほど多くの救済能力が必要ではない。すなわち、半導体記憶装置において、経験的にそんなに多くの欠陥が存在することはあり得ない。たとえば、上記のSRAMでは、せいぜい10個以下の欠陥が存在し得ることが経験上認められる。言い換えると従来の半導体メモリは、実際には必要でないにもかかわらず、過剰な冗長メモリ列または行を備えていたことになる。その結果、半導体メモリの高集積化が妨げられていた。

【0019】これに加えて、従来の冗長メモリ列または行は、1つのメモリセルアレイ毎に設けられているので、他のメモリセルアレイにおける列または行の救済に使用することができなかった。言い換えると、2本を超えるメモリセル列または行において欠陥が存在するとき、1本または2本の冗長メモリ列または行を用いて救済することはできず、この場合における救済が不可能であった。

【0020】したがって、メモリセルを形成するパターンが微細化するほど、1つの欠陥が複数列にまたがる可

能性が高くなり、一列のメモリセルの救済では、半導体記憶装置の救済を完全に行なうことができないという問題がある。

【0021】この発明は、上記のような課題を解決するためになされたもので、複数のメモリセルアレイを備えた半導体記憶装置において、複数列にまたがる欠陥を含んでいるメモリセルアレイを高集積化の観点から効率よく救済することを目的とする。

【0022】

【課題を解決するための手段】請求項1の発明に係る半導体記憶装置は、複数のメモリセルアレイブロック、少なくとも1つの冗長メモリセルアレイブロック、アドレス一致検出手段、および冗長ブロックアクセス手段を含む。複数のメモリセルアレイブロックは、各々が行および列に配設されたメモリセルを備える。少なくとも1つの冗長メモリセルアレイブロックは、行および列に配設された冗長メモリセルを備える。アドレス一致検出手段は、少なくとも1つが欠陥を含む少なくとも2つの隣接する列を示すアドレス信号を記憶し、入力されるアドレス信号と記憶された欠陥アドレス信号との一致を検出する。冗長ブロックアクセス手段は、アドレス一致検出手段にตอบสนองして、少なくとも1つの冗長メモリセルアレイブロックのうちの少なくとも2つの列にアクセスし、複数のメモリセルアレイブロックのうちの少なくとも1つに対して少なくとも2つの隣接する列を置換える。

【0023】請求項2の発明に係る半導体記憶装置は、複数のメモリセルアレイブロック、少なくとも2つの冗長メモリセルアレイ、少なくとも2つの行デコーダ、アドレス一致検出手段、および冗長ブロックアクセス手段を含む。複数のメモリセルアレイブロックは、各々が行および列に配設されたメモリセルを備える。少なくとも2つの冗長メモリセルアレイは、各々が行および列に配設され、メモリセルアレイブロックのすべての欠陥列を置換えるための冗長メモリセルを備える。少なくとも2つの行デコーダは、少なくとも2つの冗長メモリセルアレイに対応して設けられ、対応の冗長メモリセルアレイの対応の行にアクセスする。アドレス一致検出手段は、少なくとも1つは欠陥を含む少なくとも2つの隣接する列を示すアドレス信号を記憶し入力されるアドレス信号と記憶された欠陥アドレス信号との一致を検出する。冗長ブロックアクセス手段は、アドレス一致検出手段にตอบสนองして各冗長メモリセルアレイの少なくとも1つの欠陥列にアクセスし、少なくとも1つのメモリセルアレイブロック内の少なくとも2つの隣接する列を置換える。

【0024】

【作用】請求項1の発明では、外部からのアドレス信号にตอบสนองして半導体記憶装置が複数のメモリセルアレイブロック内の欠陥列に対してアクセスしようとする場合に、冗長ブロックアクセス手段が冗長メモリセルアレイブロック内の少なくとも2つの列にアクセスして、メモ

リセルアレイブロック内の欠陥列を含む少なくとも2つの隣接する列を置換えている。こうすることにより、欠陥列を含んでいる半導体記憶装置を高集積化の観点から効率よく救済することができる。

【0025】請求項2の発明では、少なくとも2つの冗長メモリセルアレイおよび少なくとも2つの行デコーダを備え、少なくとも2つの冗長メモリセルアレイに対して対応の行デコーダが対応の行にアクセスすることができるので、冗長メモリセルアレイブロックを少なくとも二分割することができる。このため、電力消費量を低減することができる。

【0026】

【実施例】図1は、この発明の一実施例を示すSRAMのブロック図である。図1を参照して、SRAM200は、各々がメモリセルアレイを含む合計64個のブロックと、冗長メモリセルアレイ1aを含む冗長ブロックRB1と、冗長メモリセルアレイ1bを含む冗長ブロックRB2とを含む。説明を簡単化するために、図1では、1つのブロックBLが示されている。

【0027】また、このSRAM200は、ブロックRB1およびRB2の周辺回路としてアドレスプログラム回路ブロック3、I/Oプログラム回路4、通常一冗長切換回路5、冗長選択判定回路6、第1の冗長ブロック選択回路7a、および第2の冗長ブロック選択回路7bを備えている。

【0028】ブロックBLは、8つのエリアに分割されたメモリセルアレイと、行デコーダと、列デコーダと、8つのセンスアンプ（図示せず）を備えたセンスアンプ回路と、ライトドライバ回路（WD）と、トランスファゲートGを含む。各ブロックにおいて、メモリセルアレイとその周辺のアクセス回路の基本的な回路構成は従来のSRAMと同様であるが、各ブロック内には冗長メモリセル列または行が設けられていない。また、トランスファゲートGは、図23のものと相違し、ヒューズを介することなく直接列選択信号Yを受ける。

【0029】冗長ブロックRB1は、合計8つの冗長メモリセル列を備えた冗長メモリセルアレイ1aと、行デコーダ2aと、第1のスイッチング回路13aと、第2のスイッチング回路14aとを含む。また、冗長ブロックRB2は、冗長ブロックRB1と同様に、合計8つの冗長メモリセル列を備えた冗長メモリセルアレイ1bと、行デコーダ2bと、第1のスイッチング回路13bと、第2のスイッチング回路14bとを含む。冗長ブロックRB1と冗長ブロックRB2とは同じ構成なので、以下の説明については冗長ブロックRB1についてのみ説明する。行デコーダ2aは、アドレスバス11を介して与えられる行アドレス信号Xにตอบสนองして、冗長メモリセルアレイ1a内のワード線（図示せず）を選択的に活性化させる。第1のスイッチング回路13aは、アドレスプログラム回路ブロック3から与えられる信号C01

ないしC08のうちの活性化された1つにตอบสนองして、冗長メモリセル列のうちの対応する1つを第2のスイッチング回路14aに接続する。第2のスイッチング回路14aは、第1の冗長ブロック選択回路7aからのブロック選択信号/CO（後述する）にตอบสนองして、第1のスイッチング回路13aとセンスアンプ回路および/またはライトドライバ回路に接続する。

【0030】出荷前のテストを行なうことにより、合計64個のメモリセルアレイのどこかに欠陥が存在するかどうか調べられる。或るメモリセルアレイの連続する2つの列において欠陥が存在するとき、その欠陥メモリセル列の位置を示すアドレス（ただし、最下位のアドレスY0を除く）がアドレスプログラム回路ブロック3においてプログラムされる。アドレスプログラム回路ブロック3は、合計8個の欠陥メモリセル列の位置を示すアドレス（以下、「欠陥アドレス」という）をプログラムすることができる。

【0031】外部から欠陥メモリセル列へのアクセスの要求が生じたとき、アドレスプログラム回路ブロック3は、プログラムされたアドレスと外部から与えられる列アドレスの一致を検出し、一致検出信号C01～C08（信号C01ないしC08のうちの1つが高レベルとなる）をI/Oプログラム回路4、冗長選択判定回路6および第1のスイッチング回路13a、13bに与える。冗長選択判定回路6は、与えられた一致検出信号C01～C08にตอบสนองして、冗長メモリセルアレイへのアクセスの要求がされたかどうかを判定する。この冗長選択回路6は、後述するように、信号C01～C08のうちの1つが高レベルの場合に冗長選択であると判定し、信号C01～C08のすべてが低レベルの場合に冗長非選択であると判定する。冗長選択であると判定した場合には、判定信号S0（高レベル）をI/Oプログラム回路4、第1の冗長ブロック選択回路7a、第2の冗長ブロック選択回路7b、センスアンプ回路および/またはライトドライバ回路に与える。第2の冗長ブロック選択回路7bには、最下位列アドレス信号Y0が与えられ、第1の冗長ブロック選択回路7aには、最下位列アドレス信号Y0と相補な関係にされた信号/Y0が与えられている。第1の冗長ブロック選択回路7aは、冗長選択判定回路6からの判定信号S0と信号/Y0とにตอบสนองして、第2のスイッチング回路14aをオン状態にするためのブロック選択信号/COを発生する。一方、第2の冗長ブロック選択回路7bは、冗長選択判定回路6からの判定信号S0と最下位列アドレス信号Y0とにตอบสนองして第2のスイッチング回路14bをオン状態にするためのブロック選択信号COを発生する。発生されたブロック選択信号COおよび/COは、それぞれ第2のスイッチング回路14a、14bに与えられる。それにより、第2のスイッチング回路14aおよび14bはオン状態となり、第1のスイッチング回路13aおよび13bと

センスアンプおよび／またはライトドライバ回路とを接続する。

【0032】I/Oプログラム回路4は、アドレスプログラム回路ブロック3から与えられる一致検出信号CO1～CO8にตอบสนองして、入出力制御信号S1～S8を発生し、この発生された入出力制御信号S1～S8を通常一冗長切換回路5に与える。通常一冗長切換回路5は、図示されていない8つのスイッチング回路を備えており、これらのスイッチング回路が入出力制御信号S1～S8にตอบสนองして選択的にオンし、それによって欠陥メモリセル列へのアクセスに代えて、冗長ブロックRB1またはRB2の冗長メモリセル列へのアクセスが行なわれる。

【0033】入力バッファ9は、書込まれるべき入力データDiを外部から受け、その入力データDiをライトドライバ回路(WD)に与える。したがって、入力データDiは、行デコードおよび列デコードにより指定されたメモリセルに書込まれる。以下の記載では、図1に示したSRAM200のより詳細を説明する。

【0034】図2は図1に示した冗長メモリセルアレイ1aおよび第1のスイッチング回路13aおよび第2のスイッチング回路14aの回路図である。図2を参照して、冗長メモリセルアレイ1aは、行および列に配設されたメモリセルMCを含む。冗長メモリセルアレイ1aは、合計8本の冗長メモリセル列RCL1ないしRCL8を備えている。ワード線WL1およびWL2は、図1に示した行デコード2aにより選択的に活性化される。

【0035】第1のスイッチング回路13aは、各々が対応する1つの冗長メモリセル列に接続されたトランスミッションゲート回路701～708を備える。各トランスミッションゲート回路701ないし708は、アドレスプログラム回路ブロック3から与えられるアドレス一致検出信号CO1ないしCO8のうちの対応する1つにตอบสนองしてオンする。たとえば、トランスミッションゲート回路701は、高レベルのアドレス一致検出信号CO1にตอบสนองしてオンするので、冗長メモリセル列RCL1内のビット線対BLa、BLbがデータ線対DLa、DLbに接続される。すなわち、アドレスプログラム回路ブロック3においてプログラムされた欠陥アドレスと一致する列アドレス信号が外部から与えられたとき、トランスミッションゲート回路701ないし708のうちの1つがアドレス一致検出信号CO1ないしCO8にตอบสนองしてオンするので、冗長メモリセル列RCL1ないしRCL8のうちの1本がアクセスされることになる。第2のスイッチング回路14aは、各トランスミッションゲート回路701ないし708に接続され、第1の冗長ブロック選択回路7aにより発生されたブロック選択信号/COにตอบสนองしてオンする。以上の図2の説明では、ブロックRB1および第1の冗長ブロック選択回路7aについての説明を行なったが、冗長メモリセルアレイブ

ロックRB2および第2の冗長ブロック選択回路7bについても同様の動作を行なう。

【0036】図3は、図1に示したアドレスプログラム回路ブロック3のブロック図である。アドレスプログラム回路ブロック3は、冗長メモリセルアレイブロックRB1、RB2の8つのメモリセル列に対応して設けられる複数のアドレスプログラム回路31～38を含む。アドレスプログラム回路31～38は、図24に示したアドレスプログラム回路86と同様の構成である。各アドレスプログラム回路31～38は、列アドレス信号Y(ただし最下位アドレスY0を除く)と予めプログラミングされている欠陥アドレスとを比較し、列アドレス信号Yと欠陥アドレスとが一致した場合には、一致検出信号CO1～CO8を出力する。

【0037】図4は、I/Oプログラム回路4の構成を示すブロック図である。図4を参照して、I/Oプログラム回路4は、8個のアドレスプログラム回路31～38に対応して設けられた8個のI/Oヒューズ回路41ないし48と、欠陥列デコードのためのデコード回路49とを含む。外部から与えられる1つの列アドレス信号により、1つのメモリセルアレイ内の8つの列が同時にアクセスされ得るので、I/Oプログラム回路4により、アクセスされるべきでない欠陥メモリセル列をプログラムする必要がある。言い換えると、欠陥メモリセル列から誤ったデータが読出されるかもしれないので、欠陥メモリセル列から読出されたデータの代わりに冗長メモリセル列から読出されたデータを出力する必要がある。1つの欠陥アドレスにおいてアクセスされ得る8つの列のうち、欠陥が存在する列の指定またはプログラムがヒューズ回路41ないし48のヒューズを選択的に切断することにより行なわれる。

【0038】ヒューズ回路41ないし48の各々は、アドレスプログラム回路ブロック3からの一致検出信号CO1～CO8にตอบสนองして欠陥I/O指定コードDCL1ないしDCL3を発生する。デコード49は、冗長選択判定回路6からの判定信号S0にตอบสนองして、I/Oヒューズ回路41～48から出力される欠陥I/O指定コードDCL1～DCL3をデコードし入出力制御信号S1～S8を発生する。

【0039】図5は、図4に示したヒューズ回路41の詳細を示す回路図である。図5を参照して、ヒューズ回路41は、プログラミングのためのヒューズ421ないし423と、NANDゲート424ないし426と、トランスミッションゲート427ないし429と、NORゲート430および431とを含む。このヒューズ回路41は、ヒューズ421ないし423により8つのI/Oをプログラムすることができる。

【0040】動作において、アドレス一致検出信号COiが低レベルであるときすなわち、冗長非選択の場合には、NANDゲート424ないし426はヒューズ42

1ないし423の接続状態に依存することなく、常に高レベルの電圧を出力する。したがって、トランスミッションゲート427ないし429がオンしたとき、低レベルの欠陥I/O指定コードDCL1ないしDCL3が出力される。

【0041】高レベルのアドレス一致検出信号CO_iが与えられたときすなわち冗長選択時の場合には、NANDゲート424ないし426はヒューズ421ないし423の接続状態に依存して信号を出力する。たとえば、ヒューズ421が接続されているとき、NANDゲート424が高レベルの電圧を受ける。したがって、NANDゲート424は低レベルの信号を出力するので、欠陥I/O指定コードDCL1は高レベルを示す。他方、ヒューズ421が切断されているとき、NANDゲート424は低レベルの信号を受ける。したがって、NANDゲート424は高レベルの信号を出力するので、信号DCL1は低レベルを示す。

【0042】以上をまとめると対応するアドレスプログラム回路において一致が検出される場合、すなわち高レベルの信号CO_iが出力される場合では、各欠陥I/O指定コードDCL1ないしDCL3は、対応するヒューズの接続または切断に応じて、高レベルまたは低レベルをそれぞれ示す。一方、低レベルのアドレス一致検出信号CO_iが与えられる場合では、すべて低レベルの欠陥I/O指定信号DCL1ないしDCL3が出力される。言い換えると、3つのヒューズ421ないし423を選択的に切断することにより、1つの列アドレス信号により指定され得る8つのメモリセルのうちの1つを指定またはプログラムすることができる。

【0043】図5に示した3つのトランスミッションゲート427ないし429は、次のように動作する。まず、すべてのアドレス一致検出信号CO₁ないしCO₈が低レベルである場合では、NORゲート430は高レベルの信号をNORゲート431に与える。したがって、NORゲート431は低レベルの信号を出力するので、トランスミッションゲート427ないし429はオンする。この場合では、アドレス一致検出信号CO_iが低レベルであるので、トランスミッションゲート427ないし429を介してすべて高レベルの欠陥I/O指定コードDCL1ないしDCL3が出力される。

【0044】次に、信号CO_iが低レベルであれば、他のアドレス一致検出信号CO₁ないしCO₈（ただしCO_iを除く）の1つが高レベルである場合では、NORゲート430が低レベルの信号をNORゲート431に与える。したがって、NORゲート431は、2つの低レベルの信号を受けるので、高レベルの信号を出力する。その結果、トランスミッションゲート427ないし429はオフする。これにより、1つを超えるヒューズ回路から出力される欠陥I/O指定コードの衝突が防がれる。

【0045】高レベルのアドレス一致検出信号CO_iが与えられたとき、NORゲート431は低レベルの信号を出力する。したがって、トランスミッションゲート427ないし429がオンするので、ヒューズ421ないし423の接続状態によって決定される欠陥I/O指定コードDCL1ないしDCL3が出力される。

【0046】図6は、図4に示したI/Oプログラム回路4内に設けられたデコード回路49の回路図である。図6を参照して、デコード回路49は、8個のヒューズ回路41ないし48の出力に接続される。ヒューズ回路41ないし48のいずれか1つは、アドレス一致検出信号CO₁ないしCO₈にตอบสนองして欠陥I/O指定コードDCL1ないしDCL3を出力する。

【0047】デコード回路49は、3入力NANDゲート432ないし439と、2入力NORゲート440と、インバータ441ないし445を含む。すべてのアドレス一致検出信号CO₁ないしCO₈が低レベルであるとき（冗長非選択時）、欠陥I/O指定コードDCL1ないしDCL3は低レベルである。したがって、デコード回路49はすべて高レベルの入出力制御信号S₁ないしS₈を出力する。また、判定信号S₀は低レベルである。

【0048】アドレス一致検出信号CO₁ないしCO₈のうちの1つが高レベルであるとき、ヒューズ回路41ないし48のうちの1つが欠陥I/O指定コードDCL1ないしDCL3を出力する。欠陥I/O指定コードDCL1ないしDCL3は、NANDゲート432ないし439によりデコードされ、入出力制御信号S₁ないしS₈のうちの1つが低レベルになる。2入力NORゲート440は、その一方の入力端子がNANDゲート439の出力を受けるように接続され、その他方の入力ゲートがインバータ442の出力に接続される。冗長判定回路6から出力される判定信号S₀は冗長選択時には高レベルであり、NORゲート440の出力はNANDゲート439の出力レベルに依存する。したがって、インバータ441から出力される入出力制御信号S₈はNANDゲート439の出力レベルに依存する。以上のようにして発生された入出力制御信号S₁ないしS₈は通常冗長切換回路5に与えられる。

【0049】図7は、図1に示した通常冗長切換回路5の回路図である。通常冗長切換回路5は、通常メモリセルアレイのI/O数に対応して8個設けられるが、図7では1I/Oの切換回路について示す。図7を参照して、i番目のI/Oの切換回路5_iは、通常メモリセルアレイから読出した通常メモリセルデータを受けるトランスファゲート50と、冗長メモリセルアレイ1aおよび1bから読出した冗長メモリセルデータを受けるトランスファゲート51と、入出力制御信号S₁ないしS₈のうちのi番目の入出力制御信号S_iを受けるインバータ52を含む。

【0050】動作において、I/Oプログラム回路4からの入出力制御信号 S_i によってトランスファゲート50と51との切換が行なわれる。すなわち、トランスファゲート50は、高レベルの入出力制御信号 S_i にตอบสนองしてオンし、通常メモリセルデータを出力バッファ9に与える。一方、トランスファゲート51は、低レベルの入出力制御信号 S_i にตอบสนองしてオンし、冗長メモリセルデータを出力バッファ9に与える。

【0051】図8は、図1に示される冗長選択判定回路6の回路図である。図8を参照して、冗長選択判定回路6は、アドレスプログラム回路31ないし38から出力される一致検出信号 CO_1 ないし CO_8 の論理和をとるNORゲート61と、インバータ62とを含む。

【0052】動作において、NORゲート61は、一致検出信号 CO_1 ないし CO_8 の論理和をとることにより、冗長選択状態か非選択状態かを判定する。すなわち、冗長選択時には、アドレスプログラム回路31ないし38から出力される一致検出信号 CO_1 ないし CO_8 のうちの1つは必ず高レベルであるため、判定信号 S_0 は高レベルとなる。また、冗長非選択時には、アドレスプログラム回路31ないし38から出力される一致検出信号はすべて低レベルであるから、冗長選択信号 S_0 は低レベルとなる。この結果、判定信号 S_0 のレベルによって冗長選択か非選択かを判定することができる。

【0053】図9は、図1に示した第1の冗長ブロック選択回路7aおよび第2の冗長ブロック選択回路7bの回路図である。図9を参照して、第1の冗長ブロック選択回路7aは、NANDゲート71と、インバータ72とを含む。第2の冗長ブロック選択回路7bは、NANDゲート73と、インバータ74とを含む。NANDゲート71は、判定信号 S_0 と、最下位アドレス信号 Y_0 との論理積をとる。インバータ72は、NANDゲート71の出力を反転させブロック選択信号 $/CO$ を出力する。NANDゲート73は、判定信号 S_0 と、列アドレス信号の最下位列アドレス信号 Y_0 との論理積をとる。インバータ74は、NANDゲート73の出力を反転させ、ブロック選択信号 CO を出力する。

【0054】動作において、アドレスプログラム回路ブロック3からの一致検出信号により2つの連続する冗長メモリセル列のデータが第2のスイッチング回路14aおよび14bに与えられている。

【0055】この状態において、最下位列アドレス信号 Y_0 が高レベルであると、第1の冗長ブロック選択回路7aから出力されるブロック選択信号 $/CO$ は、低レベルとなり、第2のスイッチング回路14aはオフ状態のままである。一方、第2の冗長ブロック選択回路7bから出力されるブロック選択信号 CO は高レベルとなり第2のスイッチング回路14bはオン状態となる。

【0056】これにより連続する2列の欠陥列は各冗長メモリセルアレイ1aおよび1bのメモリセルによって

置換えることができる。

【0057】次に、図1ないし図9に示した半導体記憶装置の動作を説明する。まず、冗長非選択の場合には、アドレスプログラム回路ブロック3から出力される一致検出信号 CO_1 ないし CO_8 は、すべて低レベルなので、冗長ブロックRB1、RB2の第1のスイッチング回路13aおよび13bはすべて閉じたままであり、第1および第2の冗長メモリセルアレイ1aおよび1bからデータは読出されない。同時に、冗長選択判定回路6から出力される判定信号 S_0 は、低レベルとなり、第1および第2の冗長ブロック選択回路7aおよび7bから出力されるブロック選択信号 CO 、 $/CO$ は低レベルであり、冗長ブロックRB1、RB2の第2のスイッチング回路14aおよび14bもオフ状態のままで、冗長メモリセルアレイ1aおよび1bのデータがセンスアンプに伝達されることはない。判定信号 S_0 が低レベルであることにより、センスアンプは活性化されず、冗長メモリセルアレイからのデータが増幅されセンスアンプから出力されることがない。さらに、一致検出信号 CO_1 ないし CO_8 が低レベルなので、I/Oプログラム回路4から出力される入出力制御信号 S_1 ないし S_8 はすべて高レベルになり、通常メモリセルアレイブロックBLのセンスアンプで増幅された通常メモリセルデータが、通常一冗長切換回路5により選択される。このようにして読出されたデータはデータバス12に出力される。

【0058】冗長選択の場合には、予め欠陥アドレスがプログラムされたアドレスプログラム回路ブロック3により、アドレスバス11を通して入力される列アドレス信号と欠陥アドレスとの一致が検出され、一致検出信号 CO_1 ないし CO_8 が出力される。この一致検出信号 CO_1 ないし CO_8 のうちのいずれか1つの一致検出信号 CO_i が高レベルとなっている。この高レベルの一致検出信号 CO_i にตอบสนองして第1のスイッチング回路13aおよび13bがオン状態となり、冗長メモリセルアレイ1aおよび1bの対応の列と第2のスイッチング回路14aおよび14bとが接続される。それにより、各冗長メモリセルアレイ1aおよび1bの一系列からデータの読出動作が行なわれる。前記一致検出信号 CO_1 ないし CO_8 は冗長選択判定回路6にも与えられ、冗長選択判定回路6から出力される判定信号 S_0 は高レベルとなる。第1の冗長ブロック選択回路7aは、判定信号 S_0 と信号 Y_0 との論理積をとり、ブロック選択信号 $/CO$ を第2のスイッチング回路14aに出力する。第2の冗長ブロック選択回路7bは、判定信号 S_0 と最下位列アドレス信号 Y_0 との論理積をとり、ブロック選択信号 CO を第2のスイッチング回路14bに出力する。最下位列アドレス信号 Y_0 と信号 $/Y_0$ とは、相補的な関係を有しており、ブロック選択信号 CO および $/CO$ のうちのいずれか一方が高レベルとなり、他方は低レベルとなる。相補的な関係にされたブロック選択信号 CO および

／COに応答して、第2のスイッチング回路14aおよび14bの一方がオン状態となり、第1のスイッチング回路内の対応のトランスファゲートとセンスアンプとが接続され、冗長メモリセルアレイから読出されたデータがセンスアンプに与えられる。冗長選択時には、判定信号S0は高レベルとなっているので、冗長ブロックRB1、RB2のセンスアンプは活性化されており、センスアンプに入力されたデータは増幅された後通常冗長切換回路5に伝達される。

【0059】前記一致検出信号CO1ないしCO8はI／Oプログラム回路4にも与えられており、I／Oプログラム回路4は、一致検出信号CO1ないしCO8に対応する入出力制御信号S1ないしS8を通常冗長切換回路5に与える。すなわちI／Oプログラム回路4は、一致検出信号CO1ないしCO8のうちの高レベルとなっている一致検出信号COiにตอบสนองして、いずれか1つの入出力制御信号Siを低レベルにしている。通常冗長切換回路5は、入出力制御信号Siにตอบสนองして対応する列の冗長メモリセルデータを出力バッファ9に与え、入出力信号Si以外の入出力制御信号にตอบสนองして通常メモリセルデータを出力バッファ9に与える。それにより、欠陥列のデータのみが冗長メモリセルデータにより置換えられた正しいデータを読出すことができる。

【0060】なお、図1の実施例では、行デコーダ2a、2bにより、冗長ブロック1a、1bのワード線が同時に活性化されるが、第1の冗長ブロック選択回路7aの選択信号／COを行デコーダ2aに、第2の冗長ブロック選択回路7bの選択信号COを行デコーダ2bに与え、行デコーダ2a、2bを順番に能動化することも可能である。こうすることにより、ワード線を同時に活性化しないので、電力消費を低減できる。

【0061】なお、図1ないし図9の実施例では、読出の場合を主に説明したが、書込の場合は、書込用の通常冗長切換回路を追加し、冗長選択時に冗長ビット線に置換えるべきI／Oの書込データを入力するようにすればよい。

【0062】図10はこの発明の半導体記憶装置のもう1つの実施例を示すブロック図である。なお、図10では説明を簡略化するために通常冗長切換回路および通常メモリセルアレイブロックBLは図示していない。また、図1と同様の回路については同一符号を付している。

【0063】図10を参照して、この半導体記憶装置は、2つの冗長ブロックRBAおよびRBBを備える。冗長ブロックRBAは、冗長メモリセルアレイ1aと、行を選択するための行デコーダ2Aと、列を選択するための列デコーダ29Aと、選択された冗長メモリセルからのデータを選択的に増幅する第1段センスアンプ30Aと、第1段センスアンプ30Aにより増幅された冗長メモリセルデータをさらに増幅する第2段センスアンプ

31Aとを備える。冗長ブロックRBBは、冗長ブロックRBAと同様に冗長メモリセルアレイ1b、行デコーダ2B、列デコーダ29B、第1段センスアンプ30Bおよび第2段センスアンプ31Bを備える。

【0064】冗長ブロックRBAおよびRBBの周辺回路として、アドレスプログラム回路ブロック3、I／Oプログラム回路4'、冗長選択判定回路6、第1および第2の冗長ブロック選択回路7aおよび7bを備える。

【0065】すなわちこの半導体記憶装置は、図1に示した冗長ブロックRB1およびRB2と異なり、第1のスイッチング回路13aおよび13bならびに第2のスイッチング回路14aおよび14bに代えて列デコーダ29Aおよび29Bと、第1段センスアンプ30Aおよび30Bと、第2段センスアンプ31Aおよび31Bとを設けている。また、図1の行デコーダ2aに代えてメイン行デコーダ28と行デコーダ2Aおよび2Bを設けている。

【0066】冗長ブロックRBAの行アドレスの選択は、ワード線活性化回路21A、Zデコーダ22A、／Zデコーダ23A、行デコーダ2Aおよびメイン行デコーダ28により行なわれる。すなわち、ワード線活性化回路21Aは、ブロック選択信号／COとATD (Address Transition Detection; 内部同期信号) との論理積をとり、ワード線活性化信号を発生する。Zデコーダ22Aは、ワード線活性化信号とプリデコード信号X0 (最下位行アドレス信号) との論理積をとり、／Zデコーダ23Aは、ワード線活性化信号とプリデコード信号／X0との論理積をとる。行デコーダ2Aは、Zデコーダ22Aの出力とメイン行デコーダ28の出力との論理積および／Zデコーダ23Aの出力とメイン行デコーダ28の出力との論理積をとる。この論理積をとった結果が冗長メモリセルアレイ1aの行アドレス選択信号となる。この信号を冗長メモリセルアレイ1aのワード線に与えることにより、ワード線を高レベルに立上げることができる。

【0067】冗長ブロックRBBの行アドレスの選択は、冗長ブロックRBAと同様に、ワード線活性化回路21B、Zデコーダ22B、／Zデコーダ23B、行デコーダ2Aおよびメイン行デコーダ28により行なわれる。しかし、ここで用いられるブロック選択信号COは、冗長ブロックRBAに用いられるブロック選択信号／COと相補な関係である。したがって、最下位列アドレス信号Y0が高レベルの場合には、メモリセルアレイ1aの選択されたワード線が高レベルにされ、最下位列アドレス信号／Y0が高レベルの場合には、メモリセルアレイ1bの選択されたワード線が高レベルに立上がる。

【0068】冗長ブロックRBAおよびRBBの列アドレスを選択する信号は読出用列選択信号YDRと書込用列選択信号YDWからなる。書込列選択信号YDWは、

書込用Yデコーダ26により発生される。書込用Yデコーダ26は、アドレスプログラム回路ブロック3から出力される一致検出信号CO1ないしCO8と書込制御信号との論理積をとり、書込列選択信号YDWを発生する。書込列選択信号YDWは列デコーダ29Aおよび29Bに与えられ、列デコーダ29Aおよび29Bは、冗長書込データをビット線に伝達する。

【0069】冗長書込データの選択はライトデータ選択回路27により行なわれる。ライトデータ選択回路27は、I/Oプログラム回路4'からの入出力制御信号S1ないしS8に応答して、入力される8個のデータDiから冗長書込データを選択する。選択された冗長書込データは、ライトドライバ33'に与えられ、ライトドライバ33'はダブルブロックセクタ24の出力に응答して選択された冗長書込データを列デコーダ29Aおよび29Bに与える。ここでダブルブロックセクタ24は、ブロック選択信号COと/COとの論理和をとり、この論理和をとった信号と書込制御信号との論理積をとり、この結果を書込イネーブル信号としてライトドライバ33'に与える。ダブルブロックセクタ24の出力は、アクティブローである。また、ライトドライバ33'の出力は相補な信号D、/Dとなっており、ビット線bitとビット線/bitとに対応している。ダブルブロックセクタ24により冗長書込データは、冗長ブロックRBAおよびRBBの同じ列アドレスを持つビット線に書込まれるが、行デコーダ2Aおよび2Bがブロック選択信号CO、/COによって制御されているため、一方のワード線しか高レベルにならないため、冗長書込データが2つのメモリセルに書込まれることはない。書込用Yデコーダ26は、アドレスプログラム回路ブロック3から出力される一致検出信号CO1ないしCO8と書込制御信号との論理積をとり、書込列アドレスの選択信号YDW（以下、書込列選択信号という）を発生する。発生された書込列選択信号YDWは列デコーダ29Aおよび29B内のトランスファゲートに与えられ、トランスファゲートは冗長書込データをビット線に伝達する。

【0070】読出選択信号YDRは、読出用Yデコーダ25により発生される。読出用Yデコーダ25は、アドレスプログラム回路ブロック3から出力される一致検出信号CO1ないしCO8とATD信号と読出制御信号との論理積をとり、読出列選択信号YDRを発生する。

【0071】読出時には、読出列選択信号YDRを第1段センスアンプ30Aおよび30Bに与えて第1段センスアンプ30Aおよび30Bを活性化し、冗長メモリセルデータを第2段センスアンプ31Aおよび31Bに伝達する。センスアンプ活性化回路32Aはブロック選択信号/COに응答して、第2段センスアンプ32Aを活性化する。また、センスアンプ活性化回路32Bはブロック選択信号COに응答して第2段センスアンプ32B

を活性化する。活性化された第2段センスアンプ31Aは、第1段センスアンプ30Aからの冗長メモリセルデータを増幅してデータバスに出力する。また、活性化された第2段センスアンプ31Bは、第1段センスアンプ30Bからの冗長メモリセルデータをデータバスに伝達する。前述したように、ブロック選択信号COと/COとは、相補な関係であるから、第2段センスアンプ31Aと第2段センスアンプ31Bとが同時に活性化されることはない。

【0072】以上説明したように、列選択は書込時には、列デコーダ29Aおよび29Bにより行ない、読出時には、第1段センスアンプ30Aおよび30Bを活性化する方法をとる。したがって連続する2つの冗長書込データのうち一方は冗長メモリセルアレイ1aの列デコーダ29Aにより書込まれ、他方は冗長メモリセルアレイ1bの列デコーダ29Bにより書込まれる。冗長メモリセルアレイ1aに書込まれた冗長データは、第1段センスアンプ30Aにより読出され、第2段センスアンプ30Aによりデータバスを駆動し得る電位にまで増幅される。また、冗長メモリセルアレイ1bに書込まれた冗長データは、第1段センスアンプ30Bにより読出され、第2段センスアンプ31Bによりデータバスを駆動し得る電位にまで増幅される。

【0073】図10に示した半導体記憶装置は、このような動作をするので連続して存在する2つの欠陥列を効率よく置換することができる。

【0074】以下の記載では、図10に示したSRAMのより詳細を説明する。図11は、図10に示した読出用冗長Yデコーダ25の回路図である。図11を参照して、この読出用冗長Yデコーダ25は、2入力NANDゲート251、インバータ252および254、2入力NANDゲート253を含む。したがって読出用冗長Yデコーダ25は、NANDゲート251および253と、インバータ252および254とにより冗長ブロック選択信号COi、読出制御信号およびATD信号を入力させる3入力ANDゲートを構成している。

【0075】動作において、冗長非選択時には、一致検出信号COiは低レベルなので、読出用冗長Yデコーダ25から出力される読出列選択信号YDRは常に低レベルである。

【0076】冗長選択時には、一致検出信号COiは高レベルなので、NANDゲート251の出力は、もう1つの入力である読出制御信号によって決まる。すなわち、書込状態では、読出制御信号は低レベルなのでこの信号が入力されるNANDゲート251の出力は高レベルとなる。NANDゲート251の出力は、インバータ252により反転され低レベルとなり、これが入力されるNANDゲート253の出力は高レベルとなる。NANDゲート253の出力は、インバータ254により反転され、この結果、冗長選択時の書込状態では、読出列

選択信号YDRは低レベルとなる。

【0077】冗長選択時の読出状態では、読出制御信号および一致検出信号COiは高レベルなので、これらの信号が入力されるNANDゲート251の出力は低レベルとなる。NANDゲート251の出力はインバータ252により反転され、高レベルとなり、これが入力されるNANDゲート253の出力は、もう1つの入力であるATD信号のレベルによって決まる。ATD信号が低レベルならば、NANDゲート253の出力は高レベルとなる。したがってNANDゲート253の出力はインバータ254により反転され、読出列選択信号YDRは低レベルとなる。逆に、ATD信号が高レベルならば、NANDゲート253の出力はローレベルとなり、NANDゲート253の出力はインバータ254により反転され、読出列選択信号YDRは高レベルとなる。

【0078】以上のように、読出用冗長Yデコード25は、冗長選択時の読出状態であつATD信号が高レベルのときのみ読出列選択信号YDR（高レベル）を出力し、それ以外のいずれの場合も低レベルを出力する。

【0079】図12は、図1に示した書込用冗長Yデコード26の回路図である。図12を参照して、書込用冗長Yデコード26は、2入力NANDゲート261と、NANDゲート261の出力端子に接続されるインバータ262とを含む。NANDゲート261の一方の入力ゲートは一致検出信号COiを受け、他方の入力ゲートは書込制御信号を受ける。

【0080】動作において、冗長非選択時には、一致検出信号COiは低レベルなので、この信号COiが入力されるNANDゲート261の出力は高レベルとなる。NANDゲート261の出力はインバータ262により反転され、低レベルとなるので、冗長非選択時には、書込列選択信号YDWは常に低レベルである。

【0081】冗長選択時には、一致検出信号COiは高レベルなので、この信号が入力されるNANDゲート261の出力は、もう1つの入力である書込制御信号のレベルによって決まる。すなわち、書込状態では、書込制御信号は高レベルなので、この信号が入力されるNANDゲート261の出力は低レベルとなる。NANDゲート261の出力は、インバータ262により反転され、高レベルとなるので、書込列選択信号YDWは高レベルとなる。読出状態では、書込制御信号は低レベルなので、この信号が入力されるNANDゲート261の出力は高レベルとなる。NANDゲート261の出力はインバータ262により反転され低レベルとなるので、書込列選択信号YDWは低レベルとなる。以上のように、書込用冗長Yデコード26は、冗長選択時で書込状態のときのみ高レベル（書込列選択信号）を出力し、それ以外のいずれの場合も低レベルを出力する。

【0082】図13は、図10に示したI/Oプログラム回路4'の回路図である。I/Oプログラム回路4'

と図4に示したI/Oプログラム回路とは、デコード回路49のみが相違する。したがって図13では、デコード回路のみを示す。このデコード回路は、図6に示したデコード回路のNORゲート440、インバータ441およびインバータ442を設けていないことである。したがって、NANDゲート439は、冗長非選択時に低レベルとなる入出力制御信号S8を出力する。それ以外の動作は図4ないし図6に示したI/Oプログラム回路と同様の動作をする。

【0083】図14は、図10に示したライトデータ選択回路27の回路図である。図14を参照して、ライトデータ選択回路は、入力データDinに含まれる8個の書込データI/O1ないしI/O8に対応して設けられるトランスファゲート271ないし278を含む。各トランスファゲート271ないし278には、I/Oプログラム回路4'から出力される入出力信号S1ないしS8が与えられる。

【0084】動作において、I/Oプログラム回路4'からの入出力信号S1ないしS8によって、トランスファゲート271ないし278のうちいずれか1つがオン状態となる。オン状態となったトランスファゲートを通して書込データがライトバッファ33に与えられる。したがって、冗長選択時には、置換えるI/Oに対応するトランスファゲートのみがオンし、このI/Oに対応する書込データを冗長書込データとして出力することができる。一方、冗長非選択時には、入出力制御信号S8が低レベルにされているので、I/O8に対応するトランスファゲート278がオン状態となり、I/O8に対応する書込データを冗長書込データとして出力する。冗長非選択時の冗長書込データ出力は、単に冗長書込データ線がフローティングになるのを防ぐためのものである。

【0085】図15は、図10に示したワード線活性化回路21Aおよび21Bの回路図である。

【0086】なお、ワード線活性化回路21Aと21Bとは、冗長ブロック選択信号のみが相違しているので、図15には2つの回路を重複して記載している。図15を参照して、ワード線活性化回路21Aおよび21Bは、それぞれ2入力NANDゲート211と、NANDゲート211の出力端子に接続されるインバータ212とを備える。ワード線活性化回路21AのNANDゲート211には、冗長ブロック選択信号/COとATD信号とが入力され、ワード線活性化回路21BのNANDゲート211には冗長ブロック選択信号COとATD信号とが入力される。

【0087】動作において、冗長非選択時には、冗長ブロック選択信号CO、/COのいずれも低レベルとなっているので、ワード線活性化回路21Aおよび21Bから出力されるワード線活性化信号は常に低レベルである。冗長非選択時には、冗長ブロック選択信号CO、/COは、最下位列アドレス信号/Y0またはY0に従っ

て高レベル/低レベルになっており、高レベルとなっている冗長選択信号を受けたワード線活性化回路は、ATD信号のレベルに従ってパルス信号(ワード線活性化信号)を発生する。

【0088】図16は、図10に示したZデコーダ22A、22Bおよび/Zデコーダ23Aおよび23Bの回路図である。図16の(a)は/Zデコーダ22Aおよび22B、図16の(b)は/Zデコーダ23Aおよび23Bの回路図である。Zデコーダ22Aおよび22Bは、ワード線活性化信号と最下位列アドレス信号/X0を受ける2入力NANDゲート221と、NANDゲートの出力端子に接続されるインバータ222とを含む。/Zデコーダ23Aおよび23Bは、ワード線活性化信号と最下位列アドレス信号X0とを受ける2入力NANDゲート231と、NANDゲート231の出力端子に接続されるインバータ232とを含む。Zデコーダ22Aおよび22Bと/Zデコーダ23Aおよび23Bは、最下位行アドレスX0をデコードするための回路である。最下位行アドレスX0以外の行アドレスは、メイン行デコーダ28によりデコードされる。

【0089】動作において、冗長非選択時には、ワード線活性化信号は常に低レベルなので、Zデコーダ22Aおよび22Bならびに/Zデコーダ23Aおよび23Bの出力は共に常に低レベルである。冗長選択時には、ワード線活性化信号は最下位列アドレス信号Y0とATD信号との両者または信号/Y0とATD信号との両者が高レベルのときに高レベルとなるパルス信号となっている。しかし、Zデコーダ22Aおよび22Bは、さらに最下位行アドレス信号X0が高レベルのときに、/Zデコーダ23Aおよび23Bは最下位行アドレス信号/X0が高レベルのときにワード線活性化信号を出力する。Zデコーダ22Aおよび/Zデコーダ23Aから出力されたワード線活性化信号は行デコーダ2Aに与えられ、Zデコーダ22Bおよび/Zデコーダ23Bにより出力されたワード線活性化信号は行デコーダ2Bに与えられる。

【0090】図17は、図10に示したダブルブロックセクタ24の回路図である。この実施例では、最下位列アドレス信号Y0、/Y0によって冗長ブロックRBAとRBBのいずれか一方を選択する構成をとっているが、冗長メモセルアレイ1aおよび1b内の同じ番号のメモセルに連続的に一つのデータを書込まないので、書込データをビット線に出力するためのライトドライバ33'は1個でよい。そのため、ライトドライバ33'を活性化するための信号は、ブロック選択信号CO、/COの論理和をとることにより作られる。

【0091】図17を参照して、このダブルブロックセクタ24は、ブロック選択信号/COとCOとを受けるNORゲート241と、書込制御信号を反転させるインバータ243と、NORゲート241の出力端子に一

方の入力ゲートが接続されて他方の入力ゲートがインバータ243の出力端子に接続されるNORゲート242と、NORゲート242の出力端子に接続されるインバータ244とを含む。

【0092】動作において冗長非選択時には、ブロック選択信号CO、/COのいずれも低レベルなので、それらが入力されるNORゲート241の出力は高レベルとなる。NORゲート241の出力を受けるNORゲート242の出力は低レベルとなり、これがインバータ244により反転され、ダブルブロックセクタ24の出力(ダブルブロック信号)は高レベルとなる。

【0093】冗長選択時には、ブロック選択信号CO、/COのいずれか一方が高レベルなので、これらが入力されるNORゲート241の出力は低レベルとなる。冗長選択時で書込状態の場合には、NORゲート242のもう一方の入力は低レベルとなり、ダブルブロック信号は書込時には低レベルである。一方、冗長選択時で読出状態の場合には、NORゲート242のもう一方の入力は高レベルであるから、ダブルブロック信号は高レベルである。以上のように、ダブルブロック信号が、冗長選択時で書込状態のとき低レベルを出力し、それ以外のいずれの状態でも高レベルを出力する。低レベルのダブルブロック信号に応答してライトドライバ33'は動作する。

【0094】図18は、図10に示したライトドライバ33'の回路図である。図18を参照して、ライトデータ選択回路27により選択された冗長書込データはインバータ331および333を通してNANDゲート334の一方の入力端子に与えられる。ダブルブロック信号はインバータ332を通してNANDゲート334の他方の入力端子およびNANDゲート335の一方の入力端子に与えられる。NANDゲート335の他方の入力端子には、インバータ331により反転された冗長書込データが与えられる。

【0095】動作において冗長非選択時には、ダブルブロック信号は高レベルなので、NANDゲート334の他方の入力端子およびNANDゲート335の一方の入力端子は低レベルとなり、NANDゲート334および335の出力信号D、/Dは共に高レベルとなる。冗長選択時の読出状態では、ダブルブロック信号は高レベルなので、冗長非選択時と同様に出力信号D、/Dは共に高レベルになる。冗長選択時の書込状態では、ダブルブロック信号は低レベルなので、NANDゲート334の出力信号/Dは冗長書込データによって決まり、NANDゲート335の出力信号Dは冗長書込データを反転させた信号のレベルによって決まる。すなわち、冗長書込データが高レベルのとき、NANDゲート335の入力は低レベルとなり、NANDゲート334の入力は高レベルとなる。したがって、出力信号Dは高レベルとなり、出力信号/Dは低レベルとなる。同様にして、冗長

書込データが低レベルのときには、出力信号Dはローレベルとなり、出力信号/Dは高レベルとなる。

【0096】以上のように、ライトドライバ33'の出力信号D、/Dは冗長選択時で書込状態のとき冗長書込データのレベルに従って“高レベル”/“低レベル”または“低レベル”/“高レベル”を出力し、それ以外のいずれの状態では“高レベル”/“高レベル”を出力する。

【0097】図19は、図10に示した行デコーダ2Aおよび2Bの回路図である。行デコーダ2Aと2Bとは同様の構成であるので、図19には1つの回路についてのみ示す。各行デコーダ2Aおよび2Bは、Zデコーダおよび/Zデコーダの出力とメイン行デコーダ28との論理積を出力する。メイン行デコーダ28は、最下位行アドレス信号X0以外のアドレスによって一方のワード線を選択し、高レベルを出力する。Zデコーダおよび/Zデコーダの出力は、最下位行アドレス信号X0とATD信号およびブロック選択信号CO、/COの論理積である。冗長選択時にはZデコーダおよび/Zデコーダの出力は共に低レベルなので、ワード線は低レベルのままである。冗長選択時には、Zデコーダおよび/Zデコーダの出力のいずれか一方がATD期間(ATD信号が高レベルの期間)のみ高レベルになる。したがって、メイン行デコーダ28の出力が高レベルでありかつ最下位行アドレス信号/X0またはX0が高レベルである行アドレスに対応するワード線のみが高レベルとなる。すなわち、ATD期間にその行アドレスが選択されることになる。

【0098】図20は、図10に示した列デコーダ29Aから第1段センスアンプ30Aまでの回路図である。

【0099】列デコーダ29Aは、書込列選択信号YDWによって冗長書込データをビット線に伝達するトランスファゲート291および292を含む。この実施例ではSRAMを例としているので、ビット線負荷トランジスタ293および294も列デコーダ29Aおよび29Bの中に含まれているが、本質的にはトランスファゲート291および292のみが列デコーダである。

【0100】書込列選択信号YDWは、冗長選択時で書込状態のときのみ高レベルとなり、それ以外のいずれの場合も低レベルを出力する。したがって、冗長非選択時には、書込列選択信号YDWは低レベルなので、ライトドライバ33'の出力D、/Dとビット線bitとビット線/bi tとの間に設けられるトランスファゲート291および292はオフ状態である。冗長選択時で書込状態の場合には、書込列選択信号YDWは高レベルなので、対応のトランスファゲート291および292はオンし、ライトドライバ33'の出力信号D、/Dがビット線bit、/bi tに伝達される。冗長選択時で読出状態の場合には、書込列選択信号YDWが低レベルなので、トランスファゲート291および292はオフ状態

である。

【0101】次に図20に示される第1段センスアンプ30Aおよび30Bについて説明する。第1段センスアンプ30Aおよび30Bは複数のCMOSカレントミラー型センスアンプ301(以下、センスアンプ301と称する)を含む。センスアンプ301は、読出列選択信号YDRによって活性化される。読出列選択信号YDRは、冗長選択時の読出状態でかつATD信号が高レベルのときのみ高レベルである。それ以外のいずれの場合も低レベルである。したがって、冗長非選択時には、読出列選択信号はYDR低レベルなので、センスアンプ301は活性化されず、センスアンプの出力/SA0およびSA0は高レベルに固定される。冗長選択時で読出状態の場合には、ATD信号が高レベルの期間に読出列選択信号YDRは高レベルであるので、対応のセンスアンプ301は活性化されてセンスアンプ出力/SA0およびSA0には差動増幅された冗長メモセルデータが出力される。

【0102】センスアンプ301をさらに詳細に説明する。センスアンプ301は、ビット線bitに接続されるnMOSトランジスタ302と、ビット線/bi tに接続されるnMOSトランジスタ303と、ソースがVccにゲートがセンスアンプ出力SA0にドレインがセンスアンプ出力/SA0に接続されたpMOSトランジスタ304と、ソースがVccにゲートおよびドレインがセンスアンプ出力/SA0に共通に接続されたpMOSトランジスタ305と、ソースがVccにゲートがセンスアンプ出力/SA0にドレインがセンスアンプ出力SA0に接続されたpMOSトランジスタ306と、ソースがVccにゲートおよびドレインがセンスアンプ出力SA0に共通に接続されたpMOSトランジスタ307とを含む。なお、ゲートが接地電位に接続されたpMOSトランジスタ308および309は増幅動作には影響しないサイズの負荷トランジスタであり、センスアンプには含まれない。

【0103】動作において、ワード線が高レベルになってデータがビット線bitとビット線/bi tに読出され、読出列選択信号YDRが高レベルになると、読出列選択信号YDRに対応のセンスアンプ301が増幅を開始する。まず、nMOSトランジスタ302および303とpMOSトランジスタ305および306とからなる部分回路を考える。センスアンプ出力/SA0はnMOSトランジスタ302とpMOSトランジスタ305からなるインバータによって決定されるが、センスアンプ出力/SA0はpMOSトランジスタ306のゲートにも入力されており、pMOSトランジスタ306の特性を決定する。したがって、nMOSトランジスタ303とpMOSトランジスタ306からなるインバータのしきい値をビット線電位になるようにpMOSトランジスタ306のゲート電圧を調整した形になる。したがっ

てビット線/bitの電位とビット線bitの電位とに差が生ずるとそれが増幅されて電圧がセンスアンプ出力SA0に現われる。nMOSトランジスタ302および303とpMOSトランジスタ305および307とからなる部分回路についても動作は同様である。したがって、nMOSトランジスタ302および303とpMOSトランジスタ305および306とからなる部分回路と、nMOSトランジスタ302および303とpMOSトランジスタ305および307とにより、メモリセルに書込まれたデータを対称な形で増幅し、センスアンプ出力SA0とセンスアンプ/SA0に対称なデータを出力することができる。

【0104】図21は、図10に示した第2段センスアンプ31Aおよび31Bの回路図である。第2段センスアンプ31Aおよび31Bは同様な構成であるので、図21では1つの回路についてのみ示す。図21を参照して、各第2段センスアンプ31Aおよび31Bは、第1段センスアンプの出力/SA0、SA0の電位差を検出するための電位差検出回路311と、電位差検出回路311の出力をデータバスに接続するためのバッファ回路312とを備える。電位差検出回路311は、対応の第2段センスアンプ活性化回路32Aまたは32Bからの活性化信号にตอบสนองしてセンスアンプ出力/SA0とSA0との電位差を増幅するための差動増幅段31aと、差動増幅段31aの出力を反転増幅するインバータ31bとを含む。差動増幅段31aは、nMOSトランジスタ313、315および319と、pMOSトランジスタ314、316および320とを含む。nMOSトランジスタ313は、そのゲートがセンスアンプ出力/SA0にそのドレイン電極がpMOSトランジスタ314および320のドレインにそのソースがnMOSトランジスタ315のソースおよびnMOSトランジスタ319のドレインに接続される。pMOSトランジスタ314は、そのソースがVccにそのゲートがpMOSトランジスタ316のゲートおよびドレインに接続される。nMOSトランジスタ315は、そのドレインがpMOSトランジスタ316のドレインにそのゲートがセンスアンプ出力SA0に接続される。pMOSトランジスタ316はそのソースがVccに接続される。pMOSトランジスタ320は、そのソースがVccにそのゲートが第2段センスアンプ活性化信号を受けるように接続される。インバータ31bは、pMOSトランジスタ317および321と、nMOSトランジスタ318とを含む。pMOSトランジスタ317はそのソースが差動増幅段31aの出力すなわちnMOSトランジスタ313のドレインに接続され、そのソースがVccに接続され、そのドレインがnMOSトランジスタのドレインおよびpMOSトランジスタ321のドレインに接続される。nMOSトランジスタ318は、そのゲートがセンスアンプ出力SA0にそのソースがnMOSトランジスタ

313のソースに接続される。pMOSトランジスタ321はそのゲートが第2段センスアンプ活性化信号にそのソースがVccにそのドレインがバッファ回路312に接続される。

【0105】バッファ回路312は、ソースがVccにドレインがデータバスに接続されるpMOSトランジスタ322と、ソースがGNDにドレインがデータバスに接続されたnMOSトランジスタ323と、インバータ31bの出力とpMOSトランジスタ322とを接続するためのCMOSトランスファゲート324と、インバータ31bの出力とnMOSトランジスタ323とを接続するためのCMOSトランスファゲート325と、第2段センスアンプ活性化信号を反転させるインバータ326と、ゲートが第2段センスアンプ活性化信号を受けるように接続されソースがVccに接続されドレインがpMOSトランジスタ322のゲートに接続されたpMOSトランジスタ327と、ゲートがインバータ326の出力に接続されソースが接地電位に接続されドレインがnMOSトランジスタ323のゲートに接続されたnMOSトランジスタ328とを含む。

【0106】動作において、第2段センスアンプ活性化信号が高レベルになると、これにตอบสนองして差動増幅段31aはセンスアンプ出力SA0と/SA0との電位差を差動増幅しインバータ31bに与える。ここで、差動増幅段31aは、CMOSカレントミラー型センスアンプとなっているので、センスアンプ出力SA0によってnMOSトランジスタ313のドレインの電位を決定し、センスアンプ出力/SA0とSA0とにレベル差が生じるとその差を増幅する。この増幅された出力はインバータ31bによりさらに増幅されて、バッファ回路312に与えられる。バッファ回路312は読出時は単にインバータ31bの出力に従ってpMOSトランジスタ320にまたはnMOSトランジスタ323がデータバスをドライブするだけであるが、第2段センスアンプ活性化信号が低レベルのとき（冗長非選択時または書込状態の場合）pMOSトランジスタ327およびnMOSトランジスタ328の両者がオンして、pMOSトランジスタ322およびnMOSトランジスタ323の両者をオフさせ、第2段センスアンプ31Aおよび32Bとデータバスとを切断しデータバス上のデータの競合を避けることができる。

【0107】図22は、図10に示した第2段センスアンプ活性化回路32Aおよび32Bの回路図である。センスアンプ活性化回路32Aと32Bとは同一の構成なので図22では1つの回路についてのみ示す。図22を参照して、第2段センスアンプ活性化回路32は、3入力ANDゲートと等価である。したがって、第2段センスアンプ活性化信号は冗長ブロック選択信号とATD信号および読出制御信号の論理積である。したがって、非冗長選択時には、第2段センスアンプ活性化信号は低レ

ベルとなる。また、冗長選択時で書込状態の場合にも第2段センスアンプ活性化信号はローレベルとなる。冗長選択時で読出状態の場合には、第2段センスアンプ活性化信号は、ATD信号のレベルに従って高レベルまたは低レベルを出力する。

【0108】次に、図10ないし図22に示した半導体記憶装置の動作を説明する。まず、冗長非選択の場合には、アドレスプログラム回路ブロック3から出力される一致検出信号CO1ないしCO8は低レベルなので、冗長選択判定回路6から出力される判定信号S0は低レベルとなる。したがって、第1および第2の冗長ブロック選択回路7aおよび7bから出力されるブロック選択信号CO、/COは共に低レベルとなり、ワード線が活性化されないで、冗長メモリセルアレイ1aおよび1bにデータが書込まれることはない。そして、第2段センスアンプ活性化回路32Aおよび32Bから選択的に出力される第2段センスアンプ活性化信号は常時低レベルなので、第2段センスアンプ31Aおよび31Bとデータバスとは接続されず冗長メモリセルアレイ1aおよび1bから偽データを読出すこともない。

【0109】さらに、一致検出信号CO1ないしCO8が低レベルなので、I/Oプログラム回路4'が出力される入出力制御信号S1ないしS8のうちの入出力制御信号S8のみが低レベルになり、ライトデータ選択回路27はI/O8の書込データを冗長書込データとしてライトドライバ33'に伝達する。それにより、ライトドライバ33'の入力電位の不定に起因する貫通電流も防止することができる。

【0110】冗長選択の場合には、外部から入力された列アドレス信号と予めプログラムされた冗長アドレスとの一致がアドレスプログラム回路ブロック3により検出され、一致検出信号CO1ないしCO8が出力される。応答して冗長選択判定回路6は高レベル判定信号S0を第1および第2の冗長ブロック選択回路7aおよび7bに出力する。第1の冗長ブロック選択回路7aは、入力された最下位列アドレス信号/Y0と判定信号S0との論理積をとりブロック選択信号/COを発生する。また、第2の冗長ブロック選択回路7bは、最下位列アドレス信号Y0と判定信号S0との論理積をとりブロック選択信号COを発生する。選択されたブロックに対応するブロック選択信号が高レベルとなる。ワード線活性化回路21Aは、ブロック選択信号/COとATD信号とに応答してワード線活性化信号を発生し、ワード線活性化回路21Bはブロック選択信号COとATD信号とに応答してワード線活性化信号を発生する。この発生されたワード線活性化信号はZデコーダおよび/Zデコーダに与えられる。Zデコーダ22Aおよび22Bは、ワード線活性化信号と最下位行アドレス信号X0とに応答して最下位行を選択するためのZデコーダ信号を発生する。メイン行デコーダ28は最下位行アドレス信号X0

を除く行アドレス信号に基づいて行を選択するための信号を発生する。行デコーダ2Aおよび2BはZデコーダ信号とメイン行デコーダ28からの行選択のための信号との論理積をとり、1本の行のみを選択するための信号が発生する。この信号により1本の選択されたワード線が高レベルに立上がり、書込および読出が可能となる。

【0111】まず、冗長選択時で書込状態の場合には、書込用冗長Yデコーダ26は一致検出信号CO1ないしCO8と書込制御信号とに応答して書込列選択信号YDWを発生する。この書込列選択信号YDWが列デコーダ29Aおよび29Bに与えられる。それによりブロック選択信号/CO、COによって選択された冗長ブロックの列アドレスへの書込が可能な状態となる。ライトデータ選択回路27は、I/Oプログラム回路4'からの入出力制御信号S1ないしS8に応答して入力データDiのうち1ビット分の書込データを選択する。選択された書込データはライトドライバ33'に伝達され、列デコーダ29Aと行デコーダ2Aとにより選択された行および列または列デコーダ29Bと行デコーダ2Bとにより選択された列および行との交点のメモリセルに書込データが書込まれる。書込期間はATD期間により決定される。このATD期間を調節することにより、動作電流を小さくすることができる。

【0112】次に、冗長選択時で読出状態の場合には、読出用Yデコーダ25は、一致検出信号CO1ないしCO8とATD信号と読出制御信号とに応答して読出列選択信号YDRを発生する。この読出列選択信号YDRは第1段センスアンプ31Aおよび31Bに与えられる。それにより、第1段センスアンプ30A内のセンスアンプが選択的に活性化され、メモリセルアレイ1aおよび1b内の対応の列からの読出が可能となる。冗長メモリセルアレイ1aから読出されたデータは、第1段センスアンプ30Aにより増幅された後第2段センスアンプ31Aに伝達される。また、冗長メモリセルアレイ1bから読出されたデータは第1段センスアンプ30bで増幅された後第2段センスアンプ31Bに伝達される。第2段センスアンプ31Aはセンスアンプ活性化回路32Aからのセンスアンプ活性化信号に応答して与えられたデータをデータバスをドライブできるレベルに増幅する。また、第2段センスアンプ31bは、センスアンプ活性化回路32Bからのセンスアンプ活性化信号に応答して、与えられたデータをデータバスをドライブできるレベルまで増幅する。第2段センスアンプ31Aおよび31Bの一方のみが活性化されているので、データバス上で正しいデータと偽データとが競合することはない。読出期間もATD信号により決定される。ATD期間を調節することにより、ワード線および第1段センスアンプおよび第2段センスアンプを非活性化して、読出期間後における動作電流を削減することができる。第2段センスアンプからデータバスに出力された通常-冗長切換回

路（図示しない）での置換動作は、図1に示した実施例と同様である。

【0113】また、図1および図10に示した半導体記憶装置では、I/Oが8個の場合について説明したが、I/Oを任意の個数にしてもよい。さらに上記実施例では、半導体記憶装置としてSRAMの場合を説明したが、DRAMに適用することも可能である。

【0114】

【発明の効果】以上のように、この発明によれば、冗長ブロックアクセス手段によりメモリセルアレイブロック内の少なくとも2つの隣接する列を冗長メモリセルアレイブロック内の2つの列により置換えることができるので、複数列にまたがる欠陥を含んでいる半導体集積回路を高集積化の観点から効率よく救済することができる。

【図面の簡単な説明】

【図1】この発明の半導体記憶装置の一実施例を示す回路図である。

【図2】図1に示した冗長ブロックRB1、RB2の回路図である。

【図3】図1に示したアドレスプログラム回路ブロック3のブロック図である。

【図4】図1に示したI/Oプログラム回路4のブロック図である。

【図5】図4に示したI/Oヒューズ回路41の回路図である。

【図6】図4に示したデコード回路49の回路図である。

【図7】図1に示した通常—冗長切換回路5の回路図である。

【図8】図1に示した冗長選択判定回路6の回路図である。

【図9】図1に示した第1の冗長ブロック選択回路7aおよび第2の冗長ブロック選択回路7bの回路図である。

【図10】この発明の半導体記憶装置のもう1つの実施例を示すブロック図である。

【図11】図10に示した読出用Yデコーダ25の回路図である。

【図12】図10に示した書込用Yデコーダ26の回路図である。

【図13】図10に示したI/Oプログラム回路4'の

回路図である。

【図14】図10に示したライトデータ選択回路27の回路図である。

【図15】図10に示したワード線活性化回路21Aおよび21Bの回路図である。

【図16】図10に示したZデコーダおよび/Zデコーダの回路図である。

【図17】図10に示したダブルブロックセクタ24の回路図である。

【図18】図10に示したライトドライバ33'の回路図である。

【図19】図10に示した行デコーダの回路図である。

【図20】図10に示した列デコーダから第1段センスアンプまでの回路図である。

【図21】図10に示した第2段センスアンプの回路図である。

【図22】図10に示したセンスアンプ活性化回路の回路図である。

【図23】冗長回路を備えた従来のSRAMのブロック図である。

【図24】図23に示したアドレスプログラム回路86のブロック図である。

【図25】図24に示したヒューズ回路861の回路図である。

【図26】図23に示したI/Oプログラム回路87の回路図である。

【図27】図23に示したトランSMissionゲート回路の回路図である。

【符号の説明】

- 1a, 1b 冗長メモリセルアレイ
- 2a, 2b 行デコーダ
- 3 アドレスプログラム回路ブロック
- 4 I/Oプログラム回路
- 5 通常—冗長切換回路
- 6 冗長選択判定回路
- 7a 第1の冗長ブロック選択回路
- 7b 第2の冗長ブロック選択回路
- YDR 読出列選択信号
- YDW 書込列選択信号
- Y0, /Y0 最下位列アドレス信号
- X0, /X0 最下位行アドレス信号